PN结

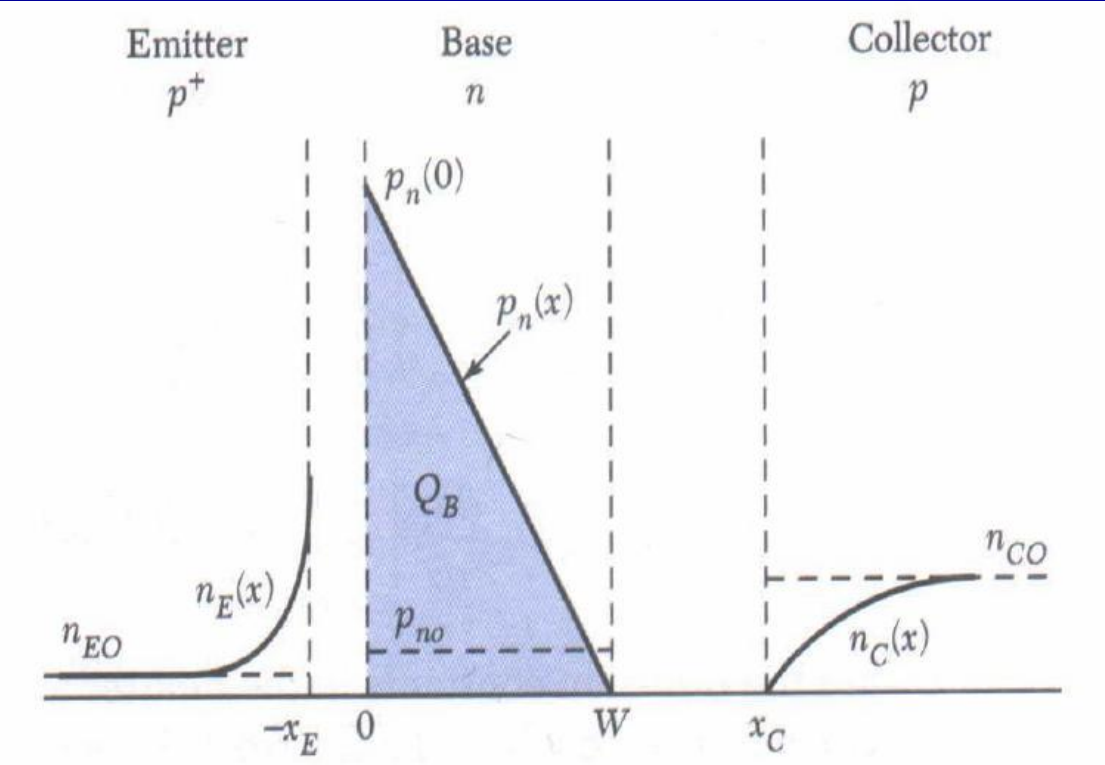
1. 介绍：突变结和缓变结。最重要：整流效应。制造方法：合金法、浅扩散法、深扩散法、离子注入法。在界面处存在空穴和电子的浓度梯度，使得空穴由P区向N区扩散，电子由N区向P区扩散，两者都在扩散过程中通过复合而逐渐消失。这样，在结两侧附近电中性被破坏，杂质离子显露出电性，称为空间电荷。空间电荷区：存在空间电荷的区域。自建电场（或内建电场）。这种平衡是一种动态平衡。

3. 热平衡条件：Fermi能级相等；内建电势（接触电势差）

4. 耗尽近似理论：假设空间电荷区中正负电荷密度完全由电离杂质浓度决定，从而忽略自由载流子的影响。

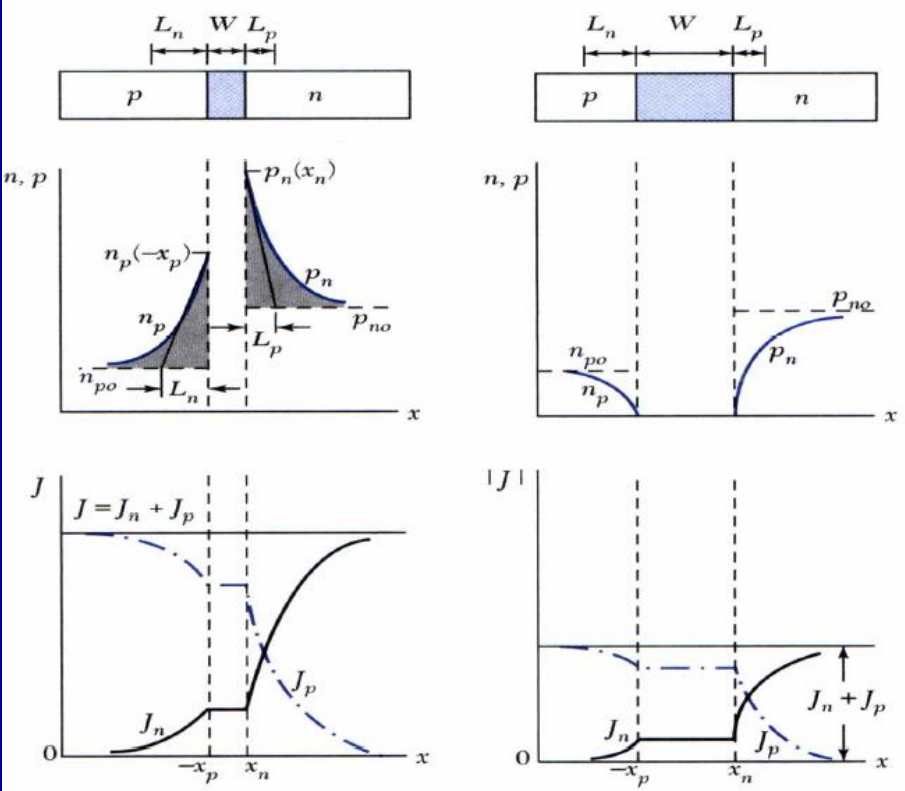
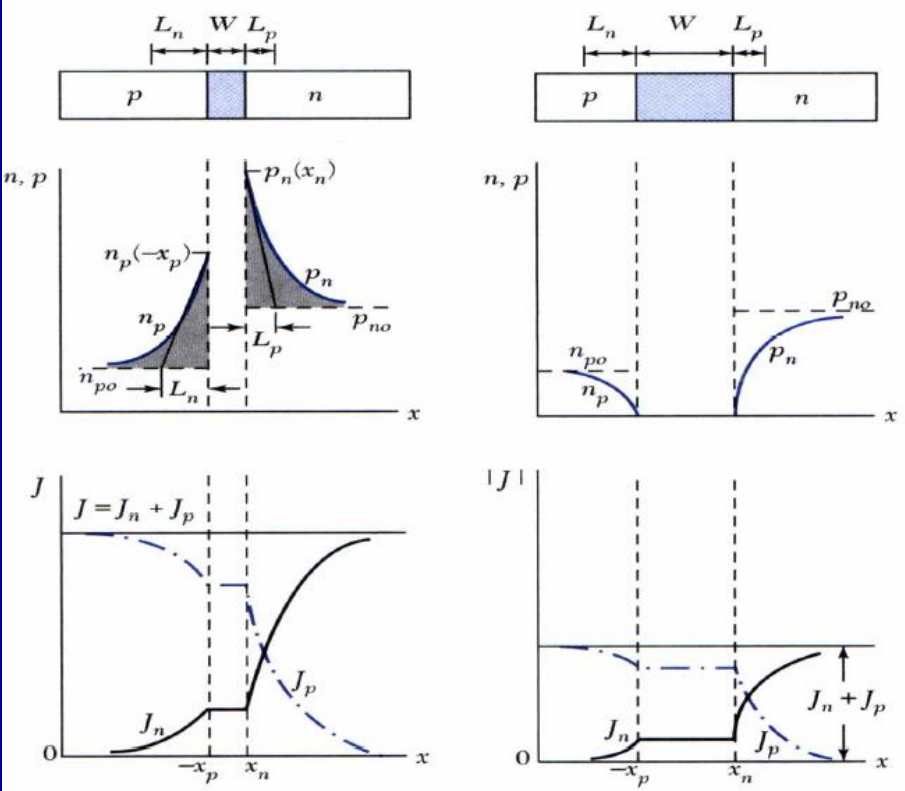
5. 突变结：

6. 线性缓变结：杂质分布：



7. 结定律：

8. 直流IV特性：在正偏压下，电子从N区扩散到P区，空穴从P区扩散到N区。两者运动方向相反，但因所带电荷异号，所以形成的电流方向相同，都是从P区向N区流动。因此，通过PN结的总的正向电流为两者之和。当外压增大时，势垒区电场将更减弱，电子、空穴扩散电流亦相应增加，于是总电流增大。在反向偏压下，势垒区两侧一个扩散长度范围内少子反扩散形成了电流，其方向从N区流向P区。由于少子浓度很低，故反向电流很小，且由于少子浓度梯度是不变的，因此，反向电流不随外压的改变而变化，即反向电流饱和。

9. 基本假设：①耗尽区有突变的边界，边界外的半导体为电中性，外加电压全部降在势垒区中；满足突变耗尽近似，即势垒区中载流子全部耗尽。②两个边界处的载流子浓度通过结上的静电势差相关联。即满足玻尔兹曼分布条件。③小注入条件。即注入的少子浓度远小于多子浓度。在外加电压变化时，中性区边界处的多子浓度的变化可忽略。④忽略势垒区中载流子的产生和复合作用，耗尽区内既无产生电流，又无复合电流，通过势垒区的电子和空穴电流为常数。肖克莱方程：

10. 讨论：①具有单向导电性②温度对电流的影响：其中Dn、Ln、np0、Dp、Lp、pn0与T有关，JS随T↑而↑，且禁带宽度Eg愈大，JS变化越快。③单边突变结: Js的表达式中只有一项起主要作用→只需考虑一边的少子扩散④正向导通电压: Eg越大的材料,具有更大的正向导通电压⑤上述理想方程描述Ge的PN结在小电流密度下的伏安特性是适合的，而对Si和GaAs的PN结只能定性符合，因此需要进行修正，包括产生复合效应、大注入效应、串联电阻效应和温度效应。

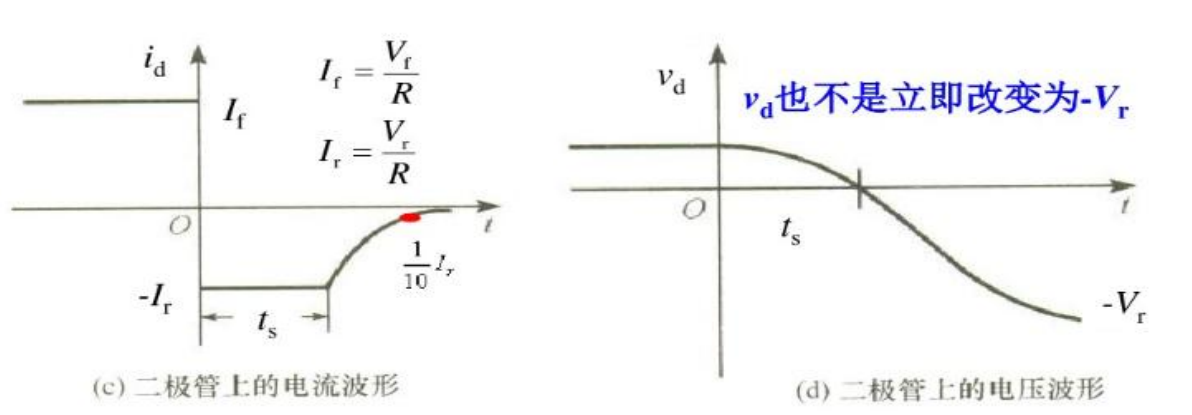
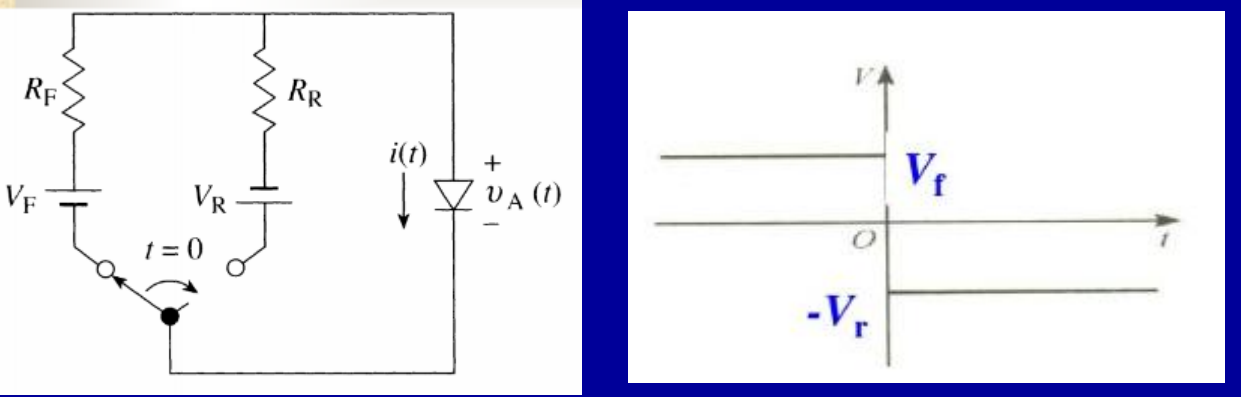
11. 修正：正向偏置，复合效应： 经验公式： 为理想化因子 反向偏置，产生效应： 大注入效应：在PN结中，当注入的少数载流子浓度达到甚至超过多数载流子浓度时，称为大注入。大注入只在正向偏置中存在。边界条件：

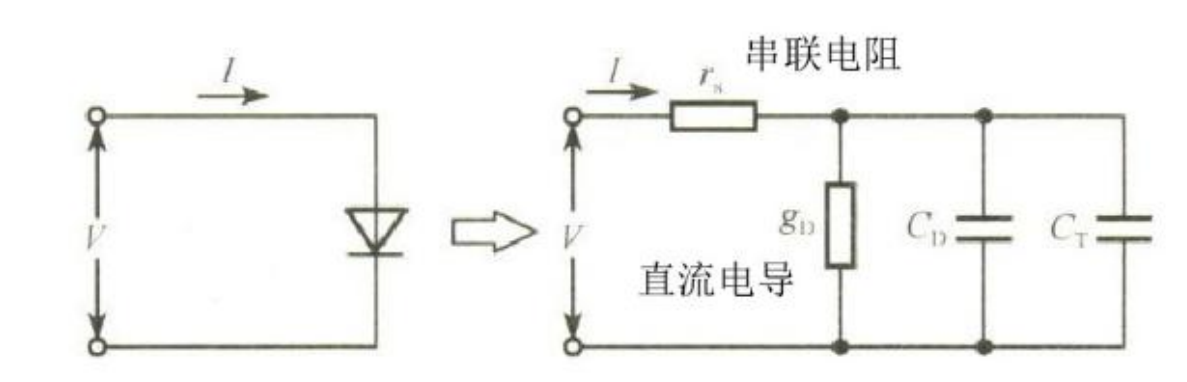
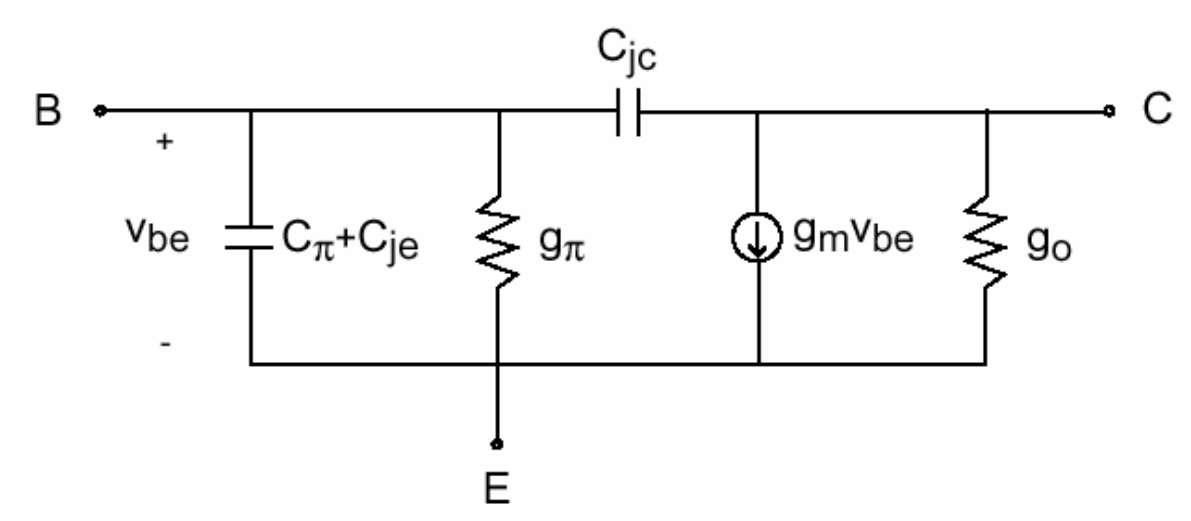
①大注入使扩散系数加倍，少子扩散系数由DP增加到2DP，此时，漂移电流和扩散电流各占一半。②大注入时电流对电压的依赖关系由小注入的exp(qV/kT)变为exp(qV/2kT)，电流随电压增加的速度变慢。③ 对P＋N结而言，大注入的电流密度与N区掺杂浓度无关，只与ni成正比；而小注入下则与ni^2/ND成比例。串联电阻效应：大电流时，在串联电阻R（包括中性区的电阻和非理想欧姆接触的电阻）上的压降不能忽略。电流随正向电压增加的速度变慢。温度效应：①反向偏置时：在室温附近，对Si的PN结，温度每增加1℃ ，IS相应增加15％，即温度每增加6℃，反向电流增加1倍。②正向偏置时：对Si的PN结，导通压降约为0.6V，室温附近，温度每增加10℃，电流增加1倍，电压变化率约为-2mV/℃。12. CV特性：PN结的电容可分为势垒电容及扩散电容，前者由势垒区中的空间电荷随外加电压变化而引起，后者由势垒区两边积累的非平衡少子电荷随外加电压变化所引起。PN结的势垒区宽度随外加电压而变，因此所包含的空间电荷（电离杂质）量也随外加电压而变。即耗尽层内正负电荷量随外加电压改变，这种电压变化引起电荷量变化的电容效应称做PN结耗尽层电容或势垒电容。

势垒电容 接近零偏或正偏时：

PN结势垒电容类似于中间充满半导体介质的平板电容器。但两者之间也有重要的差异：①平板电容器的电荷集中在极板上。而PN结的电荷分布在整个空间电荷区内，且电荷的变化只发生在势垒区边缘。②平板电容器极间距离一定，电容是一个常数，与电压无关，而PN结势垒宽度随外压而变，故它是一个非线性电容，也称为微分电容。③平板电容器可用于隔直流，而PN结却能允许直流通过。

扩散电容 是正向偏压

**13. 瞬态特性：PN结的反向瞬变过程可以分为电流恒定和电流衰减两个阶段，相应的瞬变时间分别以ts和tf表示。ts称为存储时间，tf称为下降时间，定义为从IR衰减到0.1IR所经过的时间。toff＝ts＋tf即为反向恢复时间，比偏压从反向突变为正向的瞬变时间长的多。。 时，。对于高速开关器件，必须减小少子寿命。因此通常引进能级靠近禁带中央的复合中心，如硅中掺金，可以大大降低少子寿命。

14. 等效电路模型：rs是串联电阻，是由中性区和接触电极上的电压降引起的；gD是二极管直流电导；CD是扩散电容；CT是势垒电容。

17. 击穿特性：热不稳定性：由于在高反向电压作用下的反向电流引起热耗散，使结温升高。结温升高又反过来使反向电流增加，因为反向电流强烈地依赖温度：。反向电流→热耗散→结温升高→反向电流增加。对禁带宽度较小，反向电流较大的PN结（如Ge），室温下的热不稳定性是重要的。对于一般PN结不那么重要。特别是在低温下，热不稳定性就变得更不重要了。隧道击穿：当PN结两区掺杂都很高时，势垒区变得很窄且电场很强。若反偏压增加到某一值，能带弯曲度的增大，将使载流子从势垒区电场中获得的附加静电势能达到甚至超过导带底电子的能量。此时，根据量子力学理论，电子有一定几率穿过禁带而进入导带，这就叫隧道效应。电压越大，势垒区电场就越强，隧穿几率就越大。这就使反向电流猛增，于是发生了隧道击穿。简化的隧道穿透几率：。式中，W为势垒区厚度，qVB为势垒高度。理论计算表明，隧道击穿只发生在重掺杂的PN结中。隧道击穿的击穿电压主要决定于势垒区厚度W，而W又正比于Eg。而多数半导体的禁带宽度Eg随温度增加而减小，亦即随着温度升高，隧道击穿电压降低，因此隧道击穿电压的温度系数是负的。隧道电流为：。式中，A为结面积，vth为隧道电子的速度，Ti为隧穿几率。雪崩击穿：是最重要的P-N结击穿机构。它决定了大多数器件所加反向电压的上限。雪崩击穿条件：。式中，ɑ为载流子的电离系数，即一个电子（空穴）在单位距离路程上所产生的电子-空穴对数目。雪崩击穿电压：。器件设计中，常采用通用公式：。碰撞电离雪崩击穿：当半导体中的电场增加至某值以上时，载流子获得足够动能与晶格碰撞，给出大部分动能打破一个价键，将一个价电子从价带电离到导带，产生一个电子空穴对。这时，产生的电子空穴对在电场中开始加速，与晶格继续发生碰撞，又会产生新的电子空穴对，这样的过程一直持续下去，最后发生雪崩过程，因此又称为碰撞电离雪崩倍增效应。雪崩击穿电压的温度系数是正的雪崩击穿电压比隧道击穿电压高得多。研究表明：VB<4（Eg/q）时主要是隧道击穿，VB>6（Eg/q）时主要是雪崩击穿，击穿电压在4~6（Eg/q）之间，则是两种机构的混合。Si：Eg=1.12 e；Ge：Eg=0.67 eV提高击穿电压的途径：电场限制环、扩散环、台面结构等（a）扩散掩膜的边缘结形成弯曲（b）通过矩形掩膜扩散形成柱面区和球面区

BJT

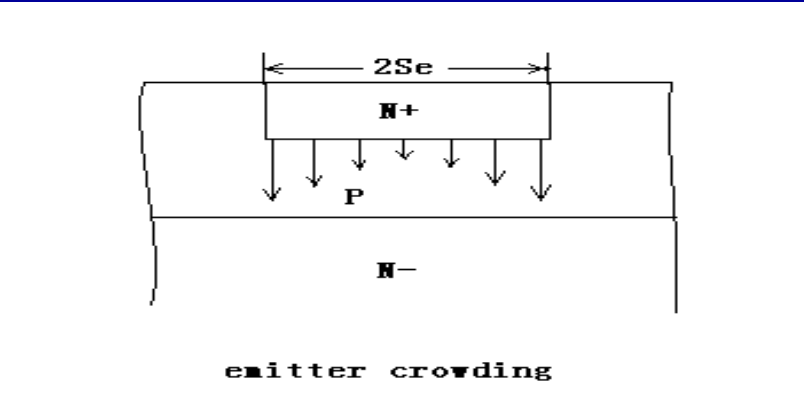
1. 晶体管工艺与杂质分布：合金管、全离子注入管：杂质分布特点：三个区内杂质均匀分布，发射结、集电结为突变结双扩散管：杂质分布特点：基区为缓变杂质分布，发射区杂质分布也缓变。

2. 分类：(a)均匀基区晶体管，传输机构以扩散为主，如合金管和全离子注入管。传输以扩散为主。(b)缓变基区晶体管。如各种扩散管。由于基区中存在自建电场，以漂移为主，3. 晶体管的放大原理：

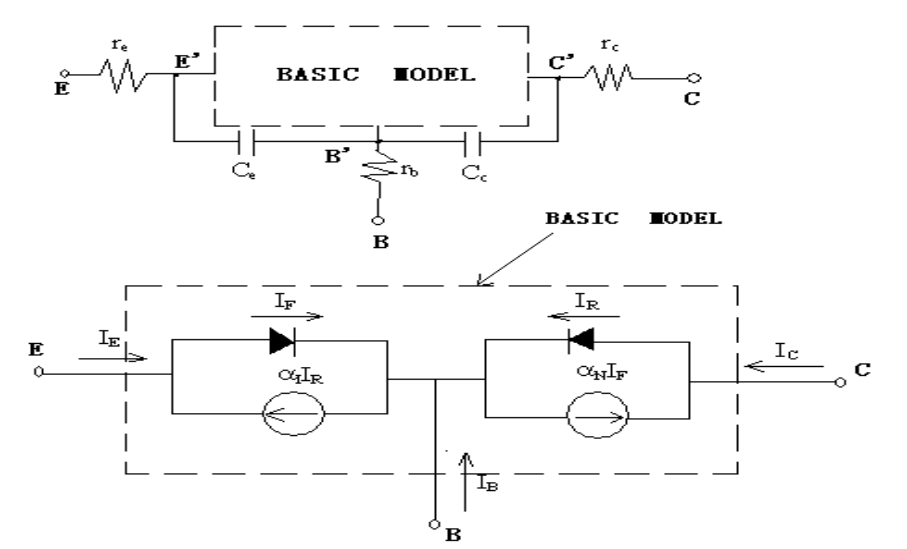
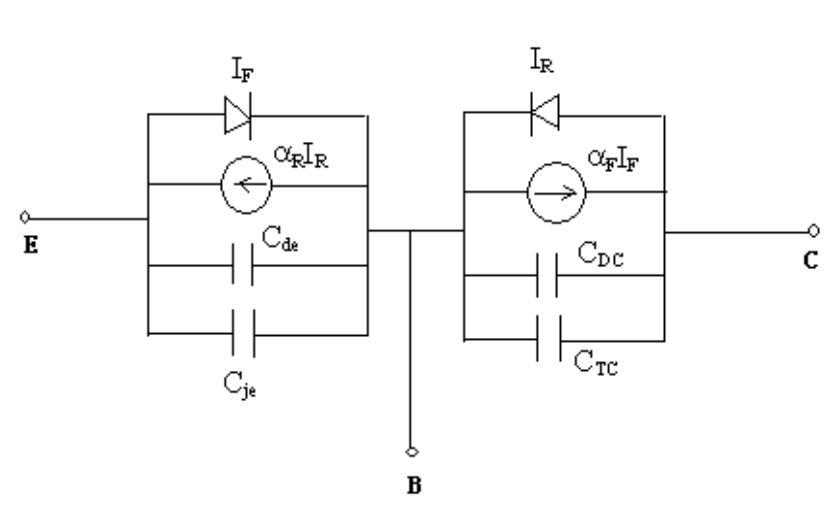
直流共基极电流放大系数(或电流增益)(发射效率，基区传输因子)

4. 提高电流增益的一般原则：晶体管的电流传输作用是晶体管具有放大能力的基础，晶体管具有放大作用需要满足下列条件，内部：发射结与集电结要相距很近，即WB<<LB。外部：发射结正偏，集电结反偏，这样才会有电流传输过程，即晶体管工作在有源放大区。 晶体管的作用是将发射极电流最大限度地传输到集电极。为提高，要尽可能减小输运过程中的损失。主要方法有：（1）减小基区向发射区的反向注入空穴电流（或电子电流）NPN管（或PNP管），即提高发射效率γ。（2）减小基区体内的复合电流IBB，即提高基区传输因子。提高电流增益的主要措施有：1. 提高发射区掺杂浓度或杂质总量，增大正向注入电流，2. 减小基区宽度，3. 提高基区杂质分布梯度，4. 提高基区载流子寿命和迁移率，以增大载流子的扩散长度。

5. 均匀基区理想晶体管基本假设：①发射区、基区和集电区的杂质分布均为均匀分布，且两结皆为突变结。②小注入条件满足。即注入到基区的少子浓度远低于该区多子浓度。③势垒区宽度远小于扩散长度，忽略耗尽区内的产生一复合作

用，通过势垒区的电流为常数。④器件中不存在串联电阻，晶体管三个中性区的电导率均足够高，使得外加电压全部降落在势垒区中，势垒区以外无电场。⑤器件的一维性。使载流子只沿x方向作一维运动，忽略了表面复合等影响，且发射结和集电结两结面积相同且互相平行。⑥发射区宽度WE和集电区宽度WC都远大于少子扩散长度，在两端处的少子浓度等于平衡时值。（pnp）

6. 中性基区少子分布的表达式：

通过发射结注入的空穴电流密度：到达集电结的空穴电流密度：

通过发射结的电子电流密度：到达集电结的空穴电流密度：

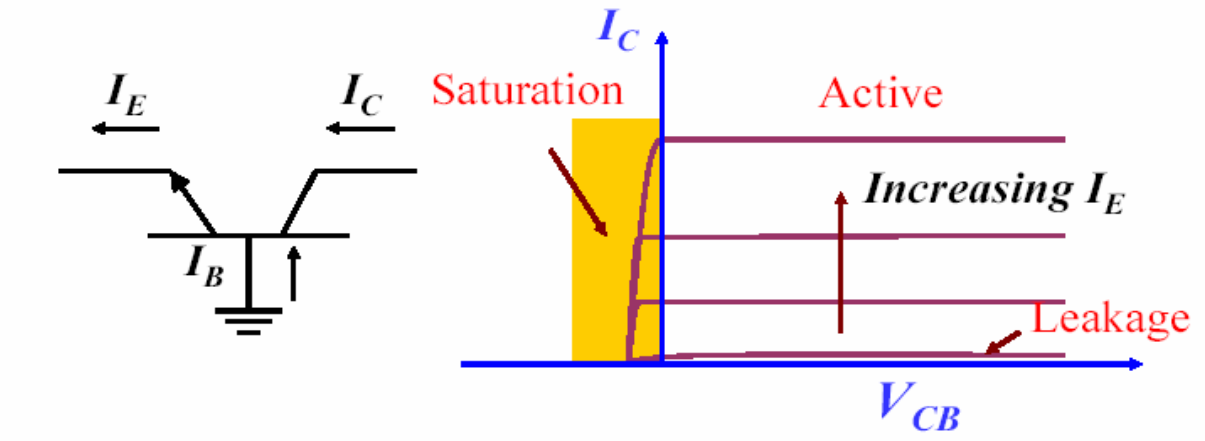
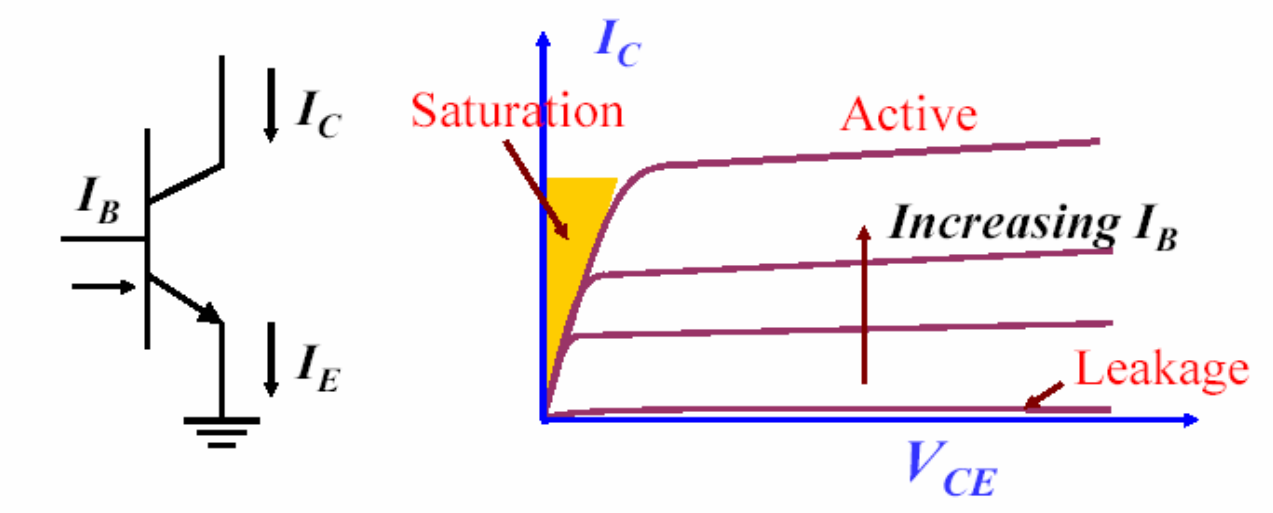
基区过剩载流子存贮电荷： （当时）

得到

7. 讨论：晶体管三个极的电流和基区内的少子分布有关，理想晶体管的基本关系式为：① 外加电压通过exp(qV/kT)控制边界上的载流子浓度；② 发射极和集电极电流由边界处的少子浓度梯度给出，这两个电流和基区存贮电荷成正比；③ P-N-P晶体管的发射效率④ 基区传输因子

8. 晶体管的工作状态：晶体管的工作状态取决于发射结、集电结上所加的电压极性。放大状态：VEB正偏，VCB反偏；饱和状态：VEB正偏，VCB正偏；截止状态：VEB反偏，VCB反偏；反转状态：VEB反偏，VCB正偏；饱和状态时，晶体管处于小偏置电压、大输出电流情况，即导通状态。截止状态时，基区内无存贮电荷，集电极电流接近0，即关断状态。反转状态时，电流增益小于放大状态，因为集电极掺杂浓度比基极浓度要低，因此发射效率也较低。

9. 输入和输出特性曲线（npn）：共基极连接具有更高些的截止频率

共基极：输入特性：IE随VBE指数上升，与正向P-N结特性一致，随着VCB增加，IE随VBE而上升得更快，这是由于基区宽度WB随VCB增加而减小，从而导致IE增大。输出特性：IE=0时IC=ICBO，即集电结反向饱和电流。IC按αIE的规律随IE而增加，若IE一定，IC基本上不随VCB变化，在VCB下降到0以后IC才逐步下降到0，这是由于只有当集电结处于正偏状态后，才能阻止由发射区注入基区的空穴流向集电区。此时，晶体管进入饱和区。共发射极：输入特性：与正向P-N结特性一致，随着VCE增加，IB减小。这是由于增加VCE会使WB减小，基区中的复合电流减小，从而使IB减小；至于VBE=0时，IB不为0，这是由于此时VCB≠0，集电结有ICBO流过，使IB=－ICBO。输出特性：当IB=0时，流过晶体管的电流为ICEO，随着IB增加，IC以βIB的规律上升；且随着VCE增加IC略上升，这是由于Early效应（WB减小而使β增大）的结果；当VCE减小到一定值（对硅管来说，该值约为0.7V）而使集电结转为正偏后，IC迅速下降，此时，晶体管进入饱和区。晶体管输出特性分为三个区域：I为线性工作区，Ⅱ为饱和区，Ⅲ为截止区。I区工作的晶体管，发射结处于正偏，集电结处于反偏；Ⅱ区工作的晶体管，发射结和集电结均处于正偏；Ⅲ区工作的晶体管，发射结和集电结都为反偏。10. 修正（pnp）：缓变基区：热平衡下，中性基区内将存在一个自建电场来抵消由于基区杂质浓度梯度分布而引起的扩散电流。在放大偏置状态下，所注入的少子不仅有扩散运动，还有由基区内建电场引起的漂移运动。内建电场的主要作用是减少注入少子渡越基区所需的时间，从而改善晶体管的高频特性。还可以减小少子在基区的复合，从而改善基区的传输因子。基区内建电场：双扩散管中，基区杂质分布一般满足高斯分布或余误差分布，都可以近似为指数分布。即：。。。基区中少子分布与电场因子η有密切关系，η=0相当于均匀基区，η越大，基区电场越强。基区中大部分区域的少子浓度梯度较小，只有在近集电结处少子浓度梯度才增大。忽略少子在基区输运过程中的复合损失，认为基区少子电流近似为常数（WB<<LpB）。设少子扩散系数为常数，及放大状态下，pn(W)=0，可得小注入条件下基区少子分布和少子电流的表达式：。。Gummel数，均匀掺杂。发射区中，加负号。④ 基区传输因子。发射极电流集边效应：为获得高的电流增益，基区宽度必须窄，因此基区电阻可能较高，基区与发射极有两个接触，称为双基极条，电子流向发射区中心。发射区的正下方与结面平行，与之相应的电阻为基区扩展电阻：，其上的横向电压为。由于晶体管中存在着基区扩展电阻，因此当基极电流流过时，就会在基区中产生横向压降，从而使实际加在E、B结上的正向偏压从基极电极到结接触面逐渐减小，使注入电流密度从边缘至中央指数下降，因此发射结中心部分的电流密度远小于边缘部分，即发射极电流主要集中在发射极的边缘部分，这种现象称为发射极电流集边效应。由于发射极电流集边效应，发射极电流基本上同发射区的周长成正比，而不是同它的面积成正比。所以，降低发射极电流集边效应最有效的方法是使电流分布在一个相当大的边缘上，如采用周长/面积比很高的梳状结构。Early效应（基区宽度调制效应）：当改变基极－集电极偏压时，集电结耗尽区宽度随之改变，因而也引起中性基区宽度WB的变化，这种现象称为基区宽度调制，也称Early效应。对合金管，集电结为单边突变结，基区掺杂最低，势垒区完全扩展在基区内。对双扩散管，集电区掺杂小于基区掺杂，扩展集中在集电区内。Early电压。基区掺杂越低，越大，VA也越小，Early效应越显著；VA越大，基区宽度调制效应的影响越小，理想情况下，VA→∞。对均匀基区：，。表示时的基区宽度。缓变基区：。基区宽度调制影响器件特性的表现之一是集电极电流随偏压变化。共射极接法的集电极电流：一个很小的基极电流可以引起很大的集电极电流。理论上，当VEC>0时，对给定的基极电流IB，集电极电流IC不依赖于VEC。但实际上，IC随VEC的增加而增加。这种集电极电流不饱和现象可以用Early效应来解释。。当VEC增加时，基区宽度WB减小，导致β0增加，故IC增大。VBC 越负，。注意：。Kirk效应（基区展宽效应）：在大电流密度工作下的晶体管基区将会发生扩展，这一现象是柯克于1962年首先提出来的，所以也被称为柯克效应。由于现代大功率晶体管都是用扩散工艺制造，所以下面的讨论都是针对缓变基区晶体管的。在放大工作状态下，理想晶体管假定边界处的少子浓度为0，但实际上存在少子浓度。空穴浓度在中性基区内被多子电子中和，但在耗尽区内将改变正负电荷层的浓度。若维持集电结偏压不变，则负电荷层减小，正电荷层宽度增加，整个耗尽区向衬底移动，中性基区趋于加宽。一定条件下，中性基区宽度超过扩散时形成的原始基区宽度，这种现象称为基区展宽效应（Kirk效应）。产生复合电流效应：实际晶体管在反向偏压下，集电区－基区内耗尽层存在产生电流，而发射区－基区正偏，耗尽层内有复合电流。如果产生电流在ICBO中起支配作用，对突变的集电结，ICBO随增加，对线性缓变的集电结，ICBO随增加，同时也增加。在小电流下，复合电流占支配作用，，m≈2。IC是由注入基区的空穴扩散到集电区形成的空穴电流，不受发射区－基区的复合电流影响。大注入效应：(a)基区电导调制效应：以PNP晶体管为例：由基区电中性要求，基区中多子与少子分布相同，即满足：dnB(x)/dx=dpB(x)/dx和nB(0)=nB0+pB(0）基区多子（电子）浓度可以用下式表示：。考虑到基区大注入的少子对多子分布带来的影响后，基区电导率为。若只考虑基区靠近发射结附近的电导率可近似为：。对应电阻率为：。式中的pB(0)/NB称为注入比。随着注入的加大，pB(0)不断加大，基区电导率相应地不断上升，电阻率不断下降。这一现象被称为基区电导调制效应。(b)大注入自建电场：大注入时，由于电子（多子）浓度梯度的存在，必定会向集电结方向扩散，集电结上加的是反向偏压，它阻止电子流向集电区，因此在集电结的基区侧有电子积累，由于扩散运动，在发射结的基区侧电子浓度将降低，从而在基区中产生由发射结指向集电结的电场，这一自建电场称为大注入自建电场。它同时改变了基区少子分布。由于多子电流为0，即InB =0。大注入引起的自建电场形成的多子漂移电流和浓度梯度引起的多子扩散电流相等，即自建电场阻止多子（电子）的扩散。由此可得，。式中，为基区自身掺杂分布形成的内建电场。

11. 晶体管模型：晶体管内部物理过程非常复杂，而在电路应用中，只需要关心器件的端特性。如果用一些基本的元件构造一个端网络，与晶体管的端网络相同，称为晶体管的等效电路或模型。因此在不同的应用场合可以有不同的模型。从构造途径划分可以分为两类：(1)由器件物理分析给出，称为物理模型，其物理意义明确，反映了器件内部的物理过程；(2)从应用角度出发，将器件视为“黑匣子”，不管其内部发生的过程，仅根据器件的端特性来构造模型，称为电路模型，这类模型的参数也可以与晶体管的内部参数联系起来。多年来，在SPICE之类的电路模拟器中，概括双极型晶体管的电学特性模型主要有E－M模型和G－P模型。其中E－M模型使器件的电学特性和器件的工艺参数相联系。而G－P模型则是建立在器件电学特性和基区多子电荷相联系的基础之上的。埃伯斯－莫尔模型（EM模型）属于晶体管的物理模型，其模型参数能较好反映物理本质且易于测量。基本思想是晶体管可以认为是基于正向的二极管和基于反向的二极管的叠加。 是正偏时二极管的饱和电流，是反偏时二极管的饱和电流。 式中IEBO和ICBO分别为集电极开路时发射极饱和电流和发射极开路时的集电极饱和电流。为了改善模型的精确度，在基本模型基础上加串联电阻和耗尽层电容的改进模型。还可以考虑在内部发射极和集电极两端之间加上额外的电流源来包括厄而利效应。还可以在基极引线上加上二极管以解释沿基极－发射极结的两维电流拥挤效应。总结：器件模型越精确，所需模型参数就越多，器件模型就越复杂。Gummel－Poon模型(G－P模型)：主要特点是把晶体管的电学特性（结电压、集电极电流等）和基区多子电荷联系在一起。。其中QB0为热平衡时基区的多子电荷总量。QjE代表发射结正偏时其耗尽区宽度变化而使基区多子电荷增加的数量，QjC代表集电结正偏时其耗尽区宽度变化而使基区多子电荷增加的数量，QdE＋QdC代表基区中存储电荷的数量。。讨论①Gummel－Poo模型不能很好描述电流集边效应，电流集边效应对硅双极晶体管是重要的问题，为了部分的考虑这些效应，SPICE模型提供一个表达式来描述基区电阻随正向电流的变化。②用电荷控制模型描述晶体管的瞬态行为，只能是一种近似。特别是，瞬态电荷的分布与由电荷控制模型得到的稳态分布是不同的。③为了精确描述晶体管的基区电阻和集电结电容，需要使用分布电阻－电容网络。为简化起见，Gummel－Poon模型只考虑了单一的基极电阻，而器件的大部分电容必须通过该电阻进行充电，在更精确的模型中，基区被分成几部分，分别定义了不同的串联电阻和相关的电容。④双极晶体管中的电流密度可能会很大，这样电流流过器件时会产生很可观的热量，由于晶体管的各种特性强烈依赖于温度的变化，自加热效应将对测量的特性产生影响。这对于Ⅲ-Ⅴ族器件尤为重要，因这种器件基区的电阻率高从而要求的发射区宽度也大。而且Ⅲ-Ⅴ族材料的导热率比硅低。为了计及自加热效应，可以考虑附加一个与晶体管有关的热电路。⑤考虑串联电阻等影响后，模型可以十分精确，但所需参数多达25个。因此为了对特定电路进行分析，必须在精确度和模型复杂性之间进行折衷考虑。12. 频率特性：频率参数：共基极截止频率：定义为当电流增益随频率升高而下降到低频增益的倍时所对应的频率，即下降到时频率。共发射极截止频率：定义为下降到时的频率。特征频率：定义为下降到1时（0db）的频率。值得注意的是，以后，随频率升高而下降是有规律的：。频率升高一倍，增益就下降一倍，即下降6db，其频率与增益的乘积保持为常数不变，因此fT又称为增益—带宽乘积。可以在比fT低很多的频率下测量值来得到fT 。fT也是描述晶体管能起电流放大作用的最高极限频率。。。晶体管频率响应主要由载流子输运渡越时间决定的。式中τEC为载流子从发射极流到集电极时依次经历的四个延迟时间之和，分别为发射结耗尽层充电时间、基区渡越时间、集电结耗尽层渡越时间、集电结电容充电时间。晶体管频率特性的最重要限制是少子通过基区的渡越时间。 （在基区宽度WB<<LpB，近似认为基区传输电流为常数即IpB(x)≈IpE）13. 提高晶体管特征频率fT的途径：在一般的高频晶体管中，减小τB是提高fT的主要因素：①降低晶体管的基区宽度WB，提高基区电场因子η，增大基区少子扩散系数DpB。②减小发射结面积以减小CTe 。③减小集电结的势垒宽度xjC，即降低集电区电阻率，但它又与提高击穿电压有矛盾。为此，必须根据不同要求作适当选择。④减小集电极串联电阻rcs及集电结势垒电容CTc。为此一是降低集电区电阻率和减小集电区厚度，以减小rcs（但这也与提高击穿电压的要求矛盾）；二是缩小结面积以降低CTc。综合之，提高fT的主要途径是：基区宽度要窄，扩散系数要大，应用有内建电场的缓变基区，减小结面积，适当降低集电区电阻率和厚度。14. 小信号等效电路：晶体管是非线性器件，但对于小信号条件下的工作状态可以看作线性器件。因此，常用四端网络的等效电路来研究晶体管电学特性。随着运用频率的提高，晶体管的各种电容效应开始起支配作用，故必须考虑势垒电容CTe、CTc和发射结的扩散电容Cde的影响，也要考虑基极电阻rb的作用，因为该电阻和电容组成的RC时间常数将会影响晶体管的高频性能。在高频时，由于rC>>1/CTc，故rc可以忽略。 高频时，考虑基区宽度调制效应时存在有限的输出电导。

15. 频率－功率限制：高频功率增益：。定义高频优值U为功率增益与频率平方的乘积：标志晶体管的放大能力，也称增益—带宽积。最高振荡频率：。式中，rb为基极电阻，CTC为集电极总输出电容。

16. 噪声系数：噪声系数F：信噪比SNR=PS信号/PN噪声。噪声系数F=SNRi/SNRo=(Ps/PN)i/(Ps/PN)o。单位功率增益下BJT的噪声功率放大倍数，一般F>1 ，若BJT本身不产生噪声，则PNo=Gp PNi即F=。噪声分贝：NF=10lg(F) dB噪声来源（1）热噪声 载流子无规则热运动，与温度T有关（2）散粒噪声 载流子的运动速度涨落、数量涨落，起伏等（3）1/f噪声 低频小于1KHz噪声，低频下晶体管的主要噪声源，主要与晶体结构、表面效应有关。

17. 击穿特性：(a)饱和电流：当发射极开路时，集电极一基极结的反向电流定义为ICBO。当基极开路时，集电极-发射极结的反向电流定义为ICEO。通常， ICBO< ICEO，ICBO< 发射结短路时的电流IC。(b)击穿电压：放大状态下，当VBC（共基极接法）或VEC（共射极接法）超过击穿电压临界值时，晶体管的集电极电流IC急剧增加，称为雪崩击穿。原因是集电结耗尽区内的电场太强而产生大量电子空穴(雪崩倍增)。共基极接法：定义发射极开路时集电极一基极击穿电压为BVCBO ，对集电区掺杂远低于基区时：。式中，EC是临界击穿电场，NC是集电区的掺杂浓度。共射极接法：定义基极开路时集电极一发射极的击穿电压为BVCEO，当外加电压较高以至集电结发生雪崩倍增效应，利用PN雪崩倍增因子的经验公式 ：。可得：。对于Si，n＝2～6，且β0较大，因此BVCEO<<BVCBO。(c)基区穿通：随着集电结反向电压的增加，集电结势垒区向两边扩展，基区有效宽度WBeff减小。如果晶体管的基区掺杂浓度比集电区低，基区宽度WB又较小，则有可能在集电结发生雪崩击穿之前，WBeff减小到零，即发射区到集电区之间只有空间电荷区而无中性的基区，这种现象称为基区穿通。发生基区穿通时的集电极电压称穿通电压VPT，在VPT下，集电极电流将迅速上升。显然，基区较薄的合金结晶体管容易出现基区穿通效应，或者发生在集电区掺杂浓度高于基区的晶体管中。假设基区、集电区均匀掺杂，根据势垒宽度的公式，当时基区较薄即WB很小时，。时，。式中为基区掺杂浓度, 为基区宽度。对于给定的基区宽度，只有当NB较大时才能防止基区穿通，使器件的电压只受集电结耗尽区的雪崩倍增作用限制。

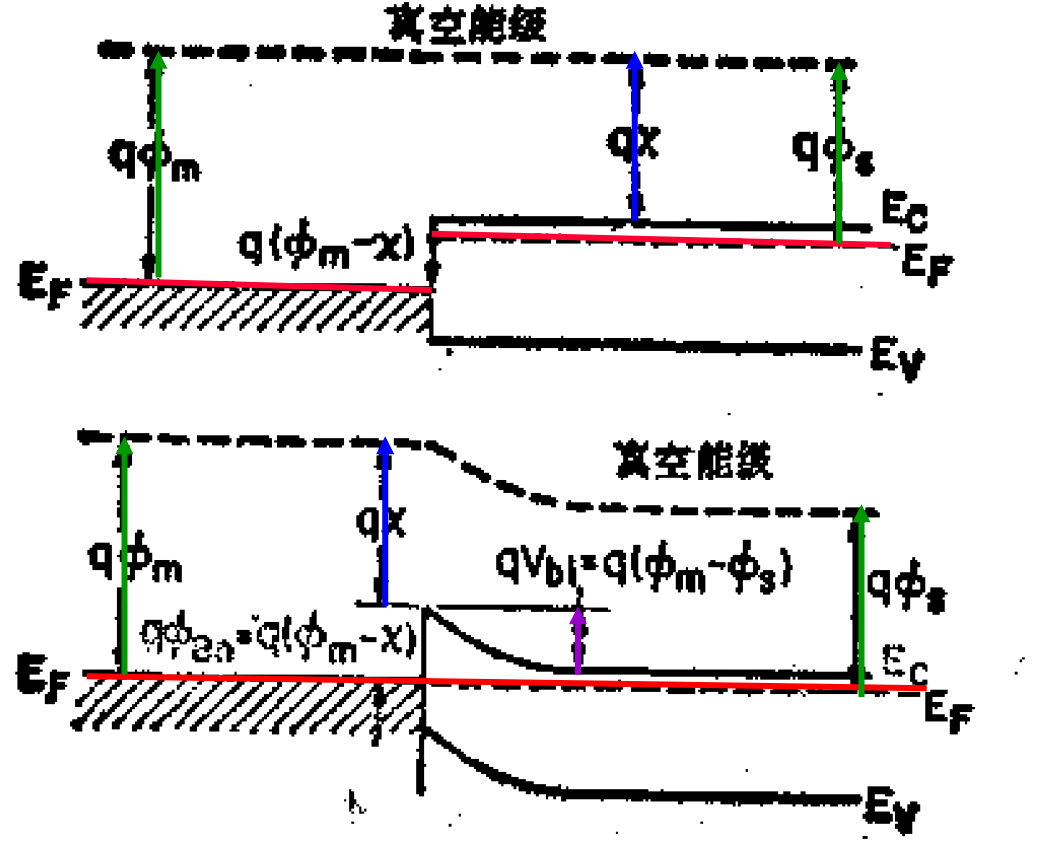
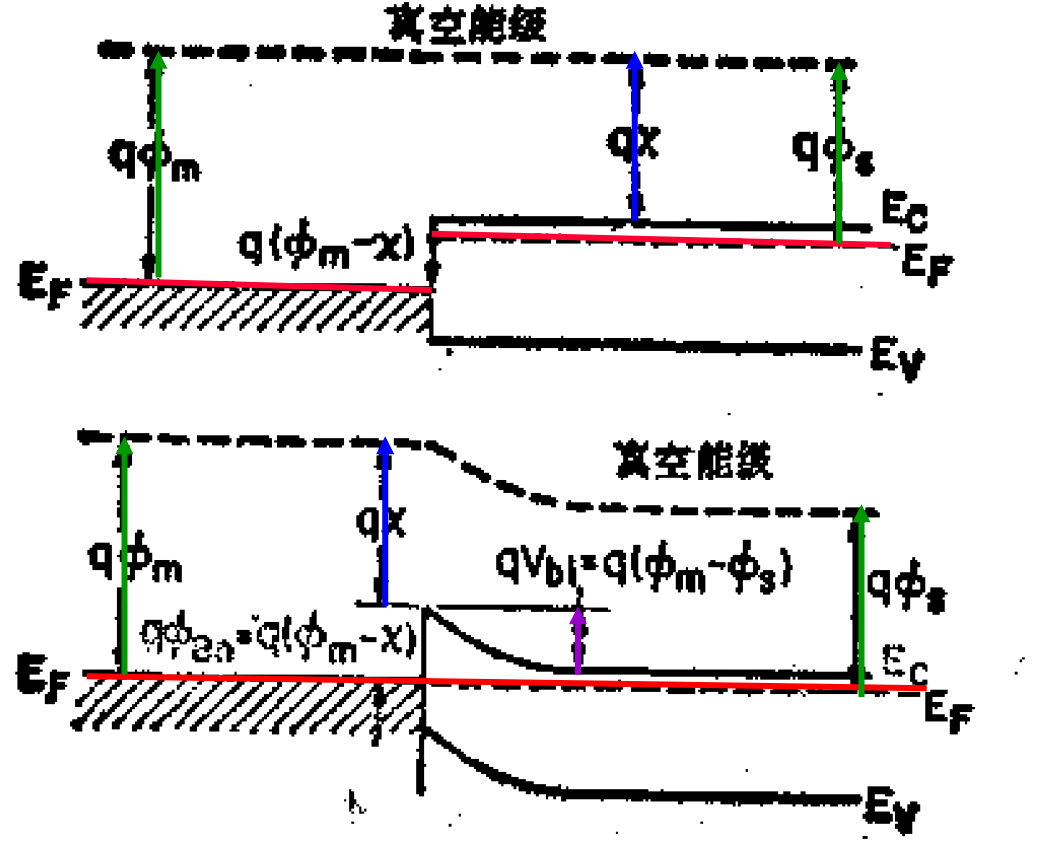
18. 功率特性：最大集电极电流IC：为使晶体管电路的输出功率大，要求晶体管能输出较大的电流，但大电流工作的晶体管电流放大系数和截止频率都要下降，从而限制了输出功率。因此，在讨论晶体管的功率特性时，我们先讨论晶体管的最大集电极电流。基区电导调制效应及有效基区扩展效应(Kirk效应)均会使晶体管特性变差，因此必须定义各自的最大电流限制。最大集电极电流密度取决于上述两种效应中最小的最大发射极电流。功率晶体管的安全工作区(SOA)：晶体管的最大耗散功率晶体管的输出功率，除受到电学参数限制外，还受到热学参数的限制，这是由于电流的热效应使晶体管消耗一定的功率，引起管芯发热，此热量通过半导体、管壳等途径散到管外，称为晶体管的耗散功率。晶体管的最大耗散功率与热阻有如下关系：。式中TjM为最高结温；TA为环境温度；RT是稳态热阻，与功率晶体管的结构、材料和各材料的厚度、面积和热导率等有关；晶体管结温有一定限制，温度过高将会引起P-N结的热击穿。通常规定：锗晶体管的最高结温定为85~125℃，硅晶体管则定为150~200℃。晶体管的二次击穿：实践表明，当晶体管工作在最大耗散功率范围内时，仍有可能发生击穿而被烧毁。一般认为，这是由于晶体管的二次击穿所引起的。当集电结反向偏压VCE逐渐增大到某一数值时，集电极电流IC急剧增加，这就是通常的雪崩击穿，称为一次击穿；继续增加集电结电压，使IC增大到某一临界值此VCE突然降低，而电流则继续增大，出现负阻效应，此称二次击穿。二次击穿的过程极短，通常为微秒量级，一旦发生二次击穿，如果没有保护措施，则晶体管很快就烧毁。安全工作区(SOA)是晶体管能安全工作的范围,它受四个参数限制:（1）集电极最大电流ICM。如果晶体管在脉冲状态工作，那么该电流可比直流时的ICM大1.5~3倍；（2）集电极最大耗散功率PCM。在直流工作时它取决于稳态热阻RT，在脉冲工作时，则取决于瞬态热阻RTS。通常IC~VCE-1；（3）二次击穿临界功耗PSB曲线由实验决定，电流与电压有如下关系：I~V-n；n在1.5~4之间；（4）最大电压VCEM。在线性放大区，VCEM=VSUS。19. 开关特性：关断和导通阻抗：为了表征开关作用，考虑三个基本参量。关断阻抗，导通阻抗和开关时间。关断阻抗：。导通阻抗：。由上面两式可知，结的反向饱和电流IEBO、ICBO小时，关断阻抗很高。导通阻抗近似反比于IC，当IC很大时，导通阻抗很小。通常，基区和集电区的欧姆电阻包含在总阻抗内，尤其对于导通阻抗。开关时间：开关时间的定义：晶体管从关态转变为开态的时间称为开启时间ton，由开态转变为关态的时间称为关断时间toff。由于在开关过程中集电极电流是交替变化的，电流开始上升或开始下降的时刻很难准确确定，工程上一般以最大值ICS的0.1或0.9倍进行测量，定义开关时间。延迟时间：从基极回路输入正脉冲信号起（t=0）到晶体管集电极电流升至0.1Ics为止，称为延迟时间td。上升时间：集电极电流由0.1Ics升至0.9Ics为止，称为上升时间tr。存贮时间：基极信号变负开始到集电极电流下降到0.9ICS， 称为存贮时间ts。下降时间：集电极电流从0.9ICS下降到0.1ICS所需的时间为下降时间tf。ton＝td+tr；toff＝ts＋tf；t＝ton+toff。电荷控制模型：。。。。若，。导通时间取决于如何迅速把空穴（PNP管的基区少子）或电子（NPN管的基区少子）注入到基区。关断时间取决于如何通过复合使空穴迅速消失。开关晶体管的重要参数之一是少子寿命。对高速开关管，降低少子寿命的有效方法是在禁带中心附近引入有效产生复合中心，如掺金工艺。开关过程：截止状态、延迟过程、上升过程、超量存贮即饱和状态、超量储存电荷消失过程即存贮时间、下降过程、截止状态。提高开关速度的措施：提高晶体管的开关速度，必须从改善器件性能及电路工作条件着手，这里我们仅讨论提高开关速度对器件性能的要求。提高晶体管的频率特性，要求：(a)减小结面积，使 CTe及CTc减小;(b)减小基区宽度WB，一般说fT主要决定于WB，减小WB可大大提高fT。(2)在工艺上增加掺金工序，其原因是：(a)降低集电区少子寿命，可减少集电区中超量储存少子的数量，在储存时间内又可加速超量储存少子的消失，从而使ts减小；对NPN效果更好。(b)析出凝聚在位错、层错处的重金属铜、铁等，以改善反向特性。(c)掺金后的缺点：一是使反向漏电流增加，还减小了电流放大增益β；二是使集电区电阻率增加，这是因为金起一定的施主或受主作用。(3)减小集电区外延尽厚度WC，以减小超量存贮的电荷。

JFET和MESFET1. 金属半导体接触的形成：金属/半导体接触结构通常是通过在干净的半导体表面淀积金属而形成。利用金属硅化物技术可以优化和减小接触电阻，有助于形成低电阻欧姆接触。目前使用平面工艺制作面接触。

2. 金半接触的类型：金属-半导体结分为两种类型：具有整流作用的肖特基结和非整流低电阻的欧姆结。肖特基结：又称为肖特基势垒接触。1938年，肖特基提出，半导体内稳定的空间电荷形成的势垒可能有整流作用。由此产生的势垒模型就是所谓肖特基势垒。金属半导体形成的具有整流效应的结称为肖特基结。欧姆结：又称为欧姆接触。金属半导体接触也可能是非整流性的, 即不管所加电压极性如何，接触电阻均可忽略，这种金属半导体接触称为欧姆接触。为实现电子系统中的相互连接，所有半导体器件和集成电路都必须有欧姆接触。

3. 能带关系：金属和半导体接触时，由于金属的功函数一般和半导体的功函数不同，而存在接触电势差，结果在接触界面附近形成势垒，通常称为肖特基势垒。功函数是费米能级和真空能级的能量差（即对于金属为，对于半导体为）。半导体导带底和真空能级能量差称为电子亲和能。金属半导体的接触势垒是指电子从金属进入半导体必须克服的势垒的高度。功函数: ,( --真空中静止电子的能量,亦记作)。功函数给出了固体中EF处的电子逃逸到真空所需的最小能量。关于功函数的几点说明:① 对金属而言, 功函数Wm可看作是固定的。功函数Wm标志了电子在金属中被束缚的程度。对半导体而言, 功函数与掺杂有关② 功函数与表面有关。③ 功函数是一个统计物理量。对半导体而言,功函数W与掺杂有关，电子亲和能是固定的，半导体功函数与杂质掺杂浓度的关系。n型半导体: WS=χ+(EC-EF)。p型半导体: WS=χ+[Eg-(EF-EV)]。假设金属与半导体功函数差为：Wms，且一般情况下不为0。当金属和半导体形成接触时，如果二者的功函数不同（费米能级不等），则会发生载流子浓度和电势的再分布，形成肖特基势垒。通常会出现电子从功函数小（费米能级高）的材料流向功函数大的材料，直到两材料体内各点的费米能级相同（即Ef ＝常数）为止。半导体体内载流子的再分布会形成载流子耗尽或积累，并在耗尽区或积累区发生能带弯曲，而在金属体内的载流子浓度和能带基本没有变化。

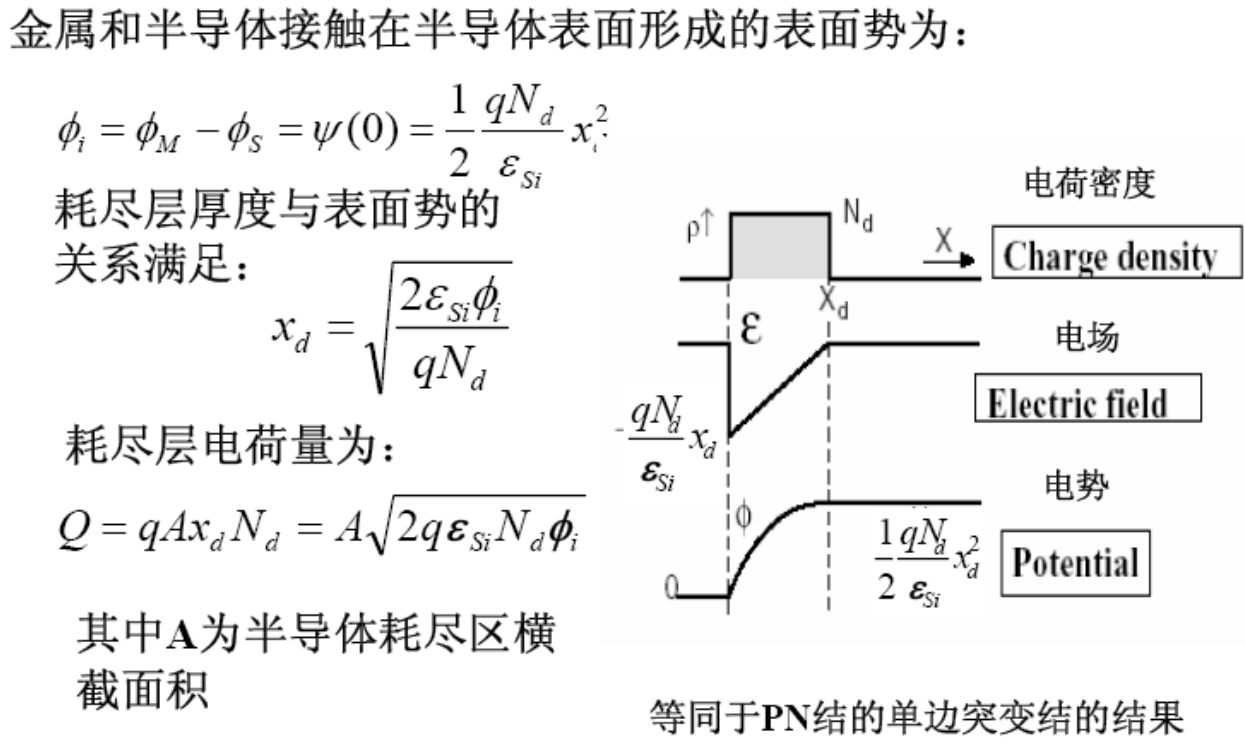
4. 金属半导体的接触电势差：M/n型半导体：①接触电势差--为了补偿两者功函数之差，金属与半导体之间产生电势差:

Vms=(Ws –Wm)/e。当Wm>Ws , Vms<0 (金属一边低电势)(阻挡层)。通常可认为接触电势差全部降落于空间电荷区。②半导体一边的势垒高度：VD=|Vms|③表面势—半导体表面相对于体内的电势Vs= Vms④金属一边的势垒高度(肖特基势垒--SB):eΦSB = eΦns= Wm –χ。通常选择ΦSB为描述金属/半导体接触势垒的基本物理量(ΦSB几乎与外加电压无关)。

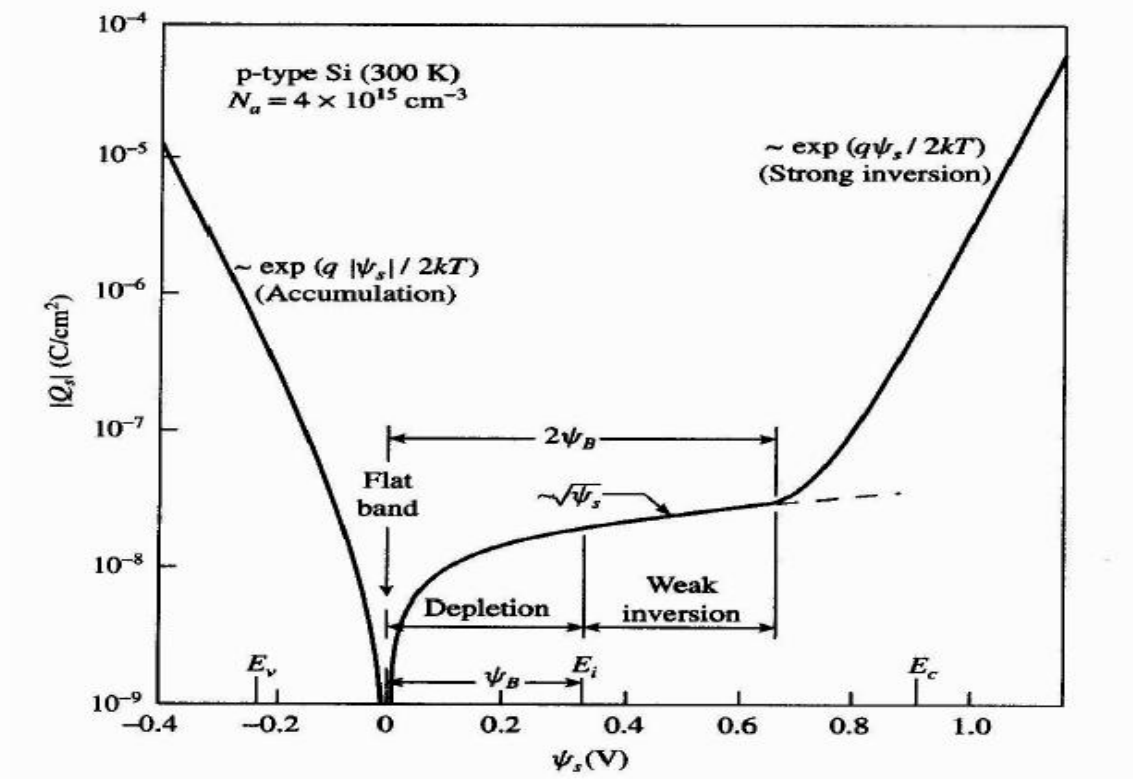
5. 金属半导体接触的几种情况：对M / n型半导体: Wm>Ws 能带上弯--电子势垒，空间电荷—电离施主。Wm<Ws 能带下弯--电子势阱，空间电荷—电子积累。势垒—阻挡层, 势阱—反阻挡层。对M / p型半导体: Wm>Ws 能带上弯--空穴势阱，空间电荷—空穴积累。Wm<Ws 能带下弯--空穴势垒，空间电荷—电离受主。势垒—阻挡层, 势阱—反阻挡层6. 金属半导体接触的势垒高度：当金属与半导体形成紧密接触时，在热平衡下两种材料的费米能级必须相等。此外，真空能级必须是连续的。对于这种理想的情况，势垒高度就是金属功函数和半导体电子亲和能之差。对于理想的金属

分别与N型、P型半导体接触，其势垒高度为：，。对给定的半导体，任何金属在n型衬底和p衬底上的势垒高度之和总等于Eg，。N型半导体的内建电势为。因此，其势垒高度还可以写成。其中qVn为半导体的导带底和费米能级之差。

7. 金属半导体接触的电容特性：金属与n型半导体接触，金属一侧有负表面电荷，半导体一侧存在等量的但极性相反的正空间电荷。这种电荷分布和具有同样电场分布的P+-N结完全相同，由此得到半导体表面耗尽层宽度为：。金属相对n型半导体加正电压（正向偏置）时，上式中外加电压V取正值；金属相对n型半导体加负电压即反向偏置时，外加电压V取负值。半导体内单位面积的空间电荷Qsc(C/cm2)和单位面积耗尽层电容C（F/cm2）可表示为：，8. 表面态对势垒高度的影响：n型Si和n型GaAs的势垒高度测量值显示，ΦBn随Wm的增大而增大，但不是直线，这是因为在实际的金属半导体接触中，由于晶格不连续，在接触界面处产生大量的能量状态，这些能量状态叫做界面态或表面态，它们连续分布在禁带内，可能起施主或受主作用，影响势垒高度的实际值，对Si和GaAs，n型势垒高度被低估，p型势垒高度被高估。半导体表面处, 禁带中存在表面态. 半导体与其表面态通过交换电子, 达到相互平衡->由于表面态的存在,半导体表面产生空间电荷区, 能带弯曲。为了描述半导体表面态，引入中性能级qΦ0：当qΦ0以下的表面态全部被电子占据，而以上的全部空出时，半导体表面是中性的。低于qΦ0的界面态没有电子占据时带正电，作用相当于施主，高于qΦ0的界面态被电子占据时带负电，作用相当于受主。如果qΦ0与半导体的EF重合，则界面态和半导体内部没有电子交换，界面的净电荷为0。如果qΦ0>EF，则电子从表面向体内转移，界面净电荷为正，qΦ0<EF，电子从体内向表面转移，界面净电荷为负。以M/n型半导体为例, 且Wm>Ws .①单独考虑表面态:表面态在能隙中形成一个能带.设表面态的电中性能级距价带顶为eΦ0由表面态的带电状态, 表面态可分为:施主型表面态—被电子占据时, 呈电中性, 失去电子后,呈正电性.受主型表面态—空态时, 呈电中性, 得到电子后,呈负电性.对大多数半导体,表面态电中性能级距价带顶大约有 eΦ0 =(1/3)Eg②半导体与其表面态通过交换电子, 达到相互平衡, 具有统一的EF。钉扎效应：当表面态的密度很大, EF被表面态钉扎 (钉扎于表面态电中性能级) . 对n型半导体:eVD =Eg –eΦ0 –(Ec –EF)n对p型半导体:eVD =eΦ0 –(EF –EV)p③考虑金属/半导体:当带有表面态的半导体与金属接触, 要考虑这三者之间的电子交换.平衡时,金属,表面态和半导体具有统一的EF。小结:仍以M/n-S, 势垒接触(Wm>Ws)为例:eΦSB =eVD+(Ec –EF)n。当不考虑表面态:eΦSB= Wm –χ当表面态的密度很高:eΦSB=Eg – eΦ0肖特基势垒高度与金属的Wm无关.一般情况下, 可介于二者之间,则有:eΦSB =( 1-S ) ( Eg – eΦ0 )+S ( Wm –χ )。S 称为界面行为因子(与半导体材料有关,与制造工艺有关)。当表面态密度很小, S->1.当表面态密度很大, S->0。

9. 肖特基效应：半导体中距离金属表面x处的电子会在金属上感应一个正电荷，这个正电荷称为镜像电荷，电子与这个正电荷之间的引力等于电子与位于－x处等量正电荷之间的静电引力，称为镜像力。这个势能叠加到理想肖特基势能上，将使原来的肖特基势垒曲线在x＝0处下降，即肖特基势垒降低，这种效应称为肖特基效应。大电场下，肖特基势垒被镜像力降低很多。镜像力使肖特基势垒降低的前提是金属表面附近的半导体导带底要有电子存在，势垒本身的高度由金半功函数和表面态决定，与电子是否存在无关。所以在测量势垒高度时，如果所用方法与电子在金属与半导体间的输运有关，则所得结果将比实际值要低。如果测量方法只与耗尽区的空间电荷有关，而不涉及电子输运，如电容法，则测量结果不受镜像力影响。同样，空穴也产生镜像力，它使半导体能带的价带顶在边界附近向上弯曲，使接触处能带变窄。肖特基势垒高度对实用肖特基势垒二极管(SBD)的电学性质有重要影响，连续调整肖特基势垒高度的方法有：①用金属的合金作为肖特基势垒金属，所得势垒高度随合金的组分线性变化；②在不同气氛下对半导体表面或金半势垒进行热处理，从而改变金半之间薄界面层厚度和性质，以此改变肖特基势垒高度，但较难得到稳定的器件性能；③在半导体表面作掺杂层。是目前广泛使用的方法，为使有效势垒降低，表面层掺入与半导体衬底同型的杂质，为使有效势垒高度增加，则在表面层掺入与衬底反型的杂质。10. 肖特基势垒二极管（SBD）：肖特基势垒中的电流主要由半导体中的多子承担，没有少子的注入和复合问题，故比pn结二极管有优良的高频特性。SBD通常采用迁移率大的n型材料制造。开关速度比pn结二极管大4个数量级。根据工作状态、结构特点和应用范围，可用于微波检波和混频（正向IV非线性），肖特基变容管（CV特性），箝位二极管（正向导通），光电二极管，雪崩二极管（反偏势垒特性）以及作为MESFET的控制栅极。伏安特性的定性图象：①定性图象--阻挡层的整流作用:(仍讨论M/n-S 形成电子势垒)M/S接触是多子器件. 对M/n-S 形成的电子势垒, 其输运特性主要由电子决定.正向偏置, 半导体一侧电子势垒降低, 可形成较大的正向电流.反向偏置, 半导体一侧电子势垒升高, 反向电流很小. 当反向偏置加大,反向电流可趋于饱和。热电子发射理论：，，。除多子电流外，还存在少子电流，由金属向半导体中注入少子（空穴），空穴的注入和p+n结情况一样，其电流密度为：，。基于热载流子发射的肖特基理论，I0取决于肖特基势垒高度有关；基于多子扩散理论，I0取决于半导体的自建势大小。精确分析：。其中，n为理想因子，I0为与不依赖电压的部分，非理想效应用n的取值来反映，n 通常取1.0-1.21）其中I0 通过外推得到。2） 可以从以前的式子得到势垒高度，在分析中势垒降低必须考虑。3）n从曲线斜率得到。相同点：①正偏时，指数关系；反偏时，电流趋于饱和。②具有整流开关作用，可以用作整流二极管。不同点：①电流输运机制完全不同。SBD是由热电子发射或多子扩散支配，产生复合电流只占很小比例。PND则与少子扩散和复合电流相关。② SBD是多子器件, 有优良的高频特性。一般情况下, 不必考虑少子的注入和复合。③相比PND而言， SBD有较低的正向导通电压，但反向击穿电压较低，反向漏电流较大。这是因为SBD的反向饱和电流与肖特基势垒参数与温度相关，而PND的反向饱和电流与少子浓度及其少子寿命相关。④ SBD还具有制备上的优势。正常工作条件下，SBD的少子电流比多子电流小几个数量级以上，因此是单极型器件。但在某些情况下，少子的影响也是显著的，不能完全忽略，比如在大电流条件下，少子注入比随电流密度增加而增大。11. 欧姆接触：定义接触电阻与半导体的体电阻或串联电阻相比可以略去不计的金属半导体接触为欧姆接触。作为器件引线，一个满意的欧姆接触不应显著降低器件性能。即，需要通过的电流在欧姆结上产生的电压降要远小于在器件有源区产生的电压降。表示欧姆接触性质的参量是比接触电阻（接触电阻率，又称特征电阻），其定义为。为了有小的接触电阻ρC，需要采用低势垒高度的金半接触。对于高掺杂浓度的接触，势垒宽度变得很，窄，隧道电流可能起支配作用。当隧道电流占主导地位时，即在隧道效应范围内，接触电阻率强烈依赖于掺杂浓度，且随因子指数下降。因此，为获得小的接触电阻ρC，需要用高掺杂浓度或低势垒高度的接触，或二者都用。①掺杂在1019cm-3以上时，金半接触的隧道效应显著，为场发射情况。ρC主要受隧道效应支配，且随杂质浓度的增加迅速下降。② 掺杂在1014～1017cm-3时，温度在室温以上时，金半接触的电流以热电子发射为主，ρC基本上与掺杂无关。③ 掺杂在1017～1018cm-3时，既有热电子发射电流又有隧道效应引起的场发射电流，称为热电子场发射情况。讨论：影响接触电阻的因素有半导体掺杂浓度、金半接触势垒高度、温度、电子有效质量、半导体表面玷污等，其中最重要的影响因素是掺杂浓度和势垒高度。半导体重掺杂能与许多金属形成接近理想的欧姆接触，而轻掺杂与金属形成欧姆接触时必须选择势垒高度很低的金属或合金才行。12. JFET：场效应晶体管是单极型晶体管。一般而言，N沟JFET优于P沟JFET。增强型器件在高速低功耗电路中有很大的使用前途。箭头的方向代表空穴流的方向。JFET一般都是耗尽型的。

13. 输出特性：VGS=0，VDS=0，；VDS>0，沟道耗尽层的这种变化可以忽略，沟道电阻可近似地用上式表示沟道电流IDS与VDS成正比；VDS增加，沟道被夹断，；夹断之后，当沟道载流子运动到沟道夹断点P时，立即被夹断区的强场扫向漏极，形成漏电流。这样，单位时间内源到达P点的电子数目基本不变，因而沟道内的电流也不变，这是因为沟道内从源到P点的电压保持不变。转移特性：当VGS=0时，漏极电流IDS大于零，而当VGS<0，且负到一定值时即VGS＝－VP，漏极电流才等于零，此时整个沟道被夹断。14. 伏安特性（直流IV特性）：GCA模型是指：栅结耗尽区中沿垂直结平面方向的电场分量Ex与沿沟道长度方向使载流子漂移的电场分量Ey无关，且满足沟道方向电场的变化远远小于垂直方向的电场变化。此即为缓变沟道近似理论。这种缓变沟道近似理论是有一定局限性的。它对于导电沟道夹断之后就不适用了。主要假设：①忽略源接触电极与沟道源端之间、漏电极与沟道漏端之间的电压降；②P+栅区与N型沟道区杂质分布都是均匀的，并且P+栅区浓度NA远远大于N型沟道区浓度ND，即栅结为单边突变结；③沟道中载流子迁移率为常数；④忽略沟道边缘扩展开的耗尽区，源极和漏极之间的电源只有y分量；⑤在栅结空间电荷区中，考虑垂直沟道方向的电场变化远远大于沟道方向电场的变化，满足GCA模型。其中假设③排除了载流子速度饱和的可能，说明沟道夹断是造成电流饱和的原因。只有对于沟道中场强很低的长沟道器件，这一假定才是合理的。假设⑤使得在求栅PN结耗尽层宽度时，二维泊松方程化为一维的。15. I-V特性方程：完整：，，，。线性区：，，。饱和区：，，16. 直流参数：本征夹断电压。夹断电压。此处的负号表示栅结为反向偏置。对于N沟JFET，Vp<0，对于P沟JFET，Vp>0。由此可见，沟道中杂质浓度越高及原始沟道越厚，夹断电压也越高。最大饱和漏极电流，增大沟道厚度以及增加沟道的宽长比，可以增大JFET的最大漏极电流。最小沟道电阻，由于存在沟道体电阻，漏电流将在沟道电阻上产生压降。漏极电流在Rmin上产生的压

降称为导通沟道压降，Rmin越大，此导通压降越大，器件的耗散功率也越大。实际的JFET沟道导通电阻还它包括源、漏区及其欧姆接触电极所产生的串联电阻RS和RD。它们的存在也将增大器件的耗散功率，所以功率JFET应设法减小Rmin、RS和RD，以改善器件的功率特性。栅极截止电流IGSS主要由反向扩散电流和势垒区产生电流构成，其值在。栅源输入电阻RGS相当高，其值在以上。但对功率器件而言，栅截止电流将大大增加。这是因为功率器件漏源电压较高，沟道的电场强度较大，强电场将使漂移通过沟道的载流子获得足够高的能量去碰撞电离产生新的电子一空穴对，新产生的电子继续流向漏极使漏极电流倍增，而空穴则被负偏置的栅电极所收集，使栅极电流很快增长。漏极电压愈高，漏端沟道电场愈强，沟道载流子在漏端产生碰撞电离的电离率α愈大，碰撞电离产生出来的电子一空穴对愈多。因此，在高漏源偏置的功率JFET中，栅极截止电流往往是很高的。例如，当漏源电压VDS=10V时，栅电流维持在10-10A数量级；而当VDS=50V时，栅电流将增大6个数量级而上升到10-4A。在短沟道器件中，由于沟道电场更强，更容易出现载流子倍增效应。漏源击穿电压BVDS：在JFET中,漏端栅结所承受的反向电压最大。在沟道较长器件中，当漏端栅结电压增加到PN结反向击穿电压时，漏端所加电压即为漏源击穿电压。：栅PN结反向击穿电压。输出功率正比于器件所能容许的最大漏极电流IDmax和器件所能容许的最高漏源峰值电（BVDS-VDSat），即输出功率：可见，对于功率JFET来说，不仅要求其电流容量大，击穿电压高，且在最高工作电流下具有小的漏源饱和电压VDSat。

17. 交流小信号参数：跨导 。漏电导。饱和区的漏电导：，，，。

18. 沟道杂质任意分布时器件的伏安特性：电荷控制法： ，。。

19. 高场迁移率的影响：对于Si，当场强很小时，载流子的漂移速度随电场的增强而线性增大；电场继续增强，漂移速度的上升速度变慢；当电场增至约5\*104V/cm时，漂移速度达饱和值VSL（≈8.5\*106cm/s）。而在GaAs和InP中，随着电场的增强，电子的漂移速度首先上升到一个峰值速度Vp，然后再下降并逐渐趋于一饱和值VSL(≈6-8\*106cm/s)。漂移速度的这种变化正说明载流子的迁移率在强电场下是一个与电场强度有关的变量。近似描述N型沟道中电子迁移率随电场变化的规律：。式中，一低场迁移率；一临界场强。。。沟道长度越短，器件的饱和漏极电流下降的幅度越大。

20. 频率特性：交流小信号等效电路：交流漏极电流：。实际器件中，靠近源端和漏端存在串联电阻，这些电阻引起源漏接触电极和沟道之间产生电压降IR，可以认为中央区截面是“本征”JFET。，。频率参数：特征频率fT的定义为在共源等效电路中，在输出端短路条件下，通过输入电容的电流等于输出漏极电流时的频率。也就是电流放大系数等于1时所对应的频率。因此，fT也称为共源组态下的增益-带宽乘积。。但特征频率随沟道长度的缩短而提高并不是没有限制的。一是渡越时间限制，因为载流子从源端到漏端需要一定的渡越时间，在弱场情况下，μ为常数，渡越时间因此，由渡越时间τ大小决定的JFET的工作频率为渡越时间截止频率.另一个限制是短沟道器件中载流子漂移速度达到饱和时的限制。此时，，由此，得到。最高振荡频率f：当JFET输入和输出均共轭匹配时，共源功率增益为1时的频率，，。由上面分析可见，器件的特征频率fT越高，最高振荡频率fm也越高。而器件的频率特性由它自身的几何尺寸和材料参数决定。另外，由于电子迁移率大于空穴迁移率，因此，不论是Si还是GaAs材料，微波器件都采用N沟FET的结构。再由于GaAs材料中低场电子迁移率又比Si的低场迁移率大约高五倍，所以，GaAs器件的频率特性又优于Si器件。要想得到高的fm，除了提高fT外，还必须使电阻比值r1达到最佳值，将寄生电阻RG、RS和反馈电容Cgd减到最小。

21. 击穿特性：随着漏源电压继续增加，最终导致器件进入雪崩击穿状态，这时器件上所加的漏端栅结上的反向偏置电压等于雪崩击穿电压。

22. 讨论：①是电压控制型器件，不需要大的输入信号功率。②是多数载流子导电的单极器件，无少子存储与扩散问题，速度高，噪音系数低；而且漏极电流Ids的温度关系决定于载流子迁移率的温度关系，则电流具有负的温度系数，器件具有自我保护的功能。③输入端是反偏的p-n结, 输入阻抗大, 便于匹配。④输出阻抗也很大, 呈现为恒流源，这与BJT大致相同。⑤JFET一般是耗尽型的，但若采用高阻衬底, 也可得到增强型JFET(增强型JFET在高速、低功耗电路中很有应用价值)；但是一般只有短沟道的JFET才是能很好工作的增强型器件。⑥沟道处于半导体内部，则沟道中的载流子不受半导体表面的影响，因此迁移率较高、噪声较低。

23. 肖特基栅场效应晶体管MESFET：MESFET的工作原理与JFET相同，是用肖特基势垒金半接触代替JFET的PN结做栅电极，通过其耗尽层厚度改变来调制电流通道（导电沟道）的横截面，而且其电学性质与JFET相仿。所以把它与JFET归为一类讨论。与JFET相比，MESFET在工艺制作和特性方面有某些优点。金半接触势垒在低温下形成，而pn结要在高温下采用扩散或生长工艺制造，因此可以采用GaAs这样电子迁移率高和饱和速度大的化合物半导体材料，来得到开关速度快和使用频率高的器件。GaAs与硅相比，电子迁移率大5倍，峰值漂移速度大一倍，所以GaAs MESFET在高频领域内得到广泛的应用。它在工作频率、低噪声、高饱和电平、高可靠性等方面大大超过了硅微波双极晶体管，最高频率可达60GHz以上。FET在大电流下具有负温度系数，即电流随温度的增加而减小，这个特点导致更均匀的温

度分布，而且即使有源面积很大，或在许多器件并联使用时，其热稳定性也非常好。24. MESFET：夹断电压和阈值电压于JFET相同。I-V特性中Ip取1/2。功率特性：一般微波晶体管主要指标是截止频率和噪声系数，功率晶体管主要指标是功率增益和效率。最大可用功率增益为：。其中f为工作频率，fT为截止频率，gd为漏电导，RS为源串联电阻，Ri为源漏间沟道电阻，LS为共源引线电感，CDS是米勒反馈电容。提高MESFET输出功率，有以下主要的工艺措施：①增加栅极宽度提高饱和漏电流②提高肖特基势垒栅的击穿电压，包括a选择外延的方法分别在源和漏引入低阻N＋接触层，b用双层外延制备高阻缓冲层，然后再外延高浓度有源层，c腐蚀凹栅。③尽可能减小热阻④提高功率增益。缩小栅长降低欧姆接触电阻和改善截止频率fT均可达到此目的。

MOSFET

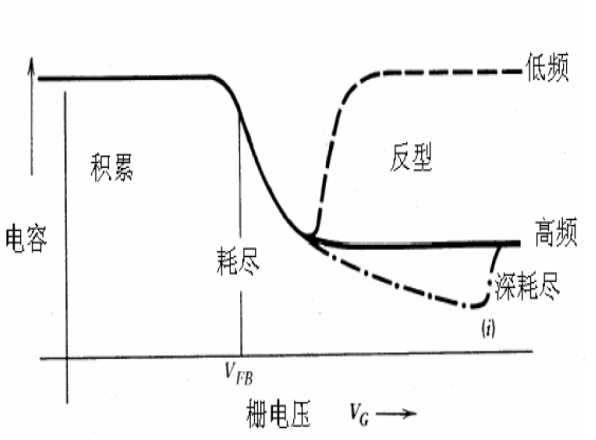
1. MOSFET：与JFET和MESFET栅压控制导电沟道截面积不同，MOS器件栅压控制的是导电沟道的载流子浓度。理想MOSFET：零偏压下,能带是平的。2）任意偏置下，二极管中只有两部分数量相等但符号相反的电荷：半导体中的电荷和靠近氧化物的金属表面上的电荷。3）在直流偏置下，氧化层中没有载流子输运，或者说氧化物的电阻无限大。

2. 平带电压：VFB1：用来抵消功函数差的影响：。：相对于本征费米能级定义的半导体材料的费米势。多晶硅作栅一般是高掺杂的，因此费米能级靠近导带底或价带顶的，此时，即。其中，p型取＋，n型取－。VFB2：用来消除有效界面电荷的影响：SiO2层内部及SiO2/Si界面存在电荷，基本分类：界面陷阱电荷，氧化物固定电荷，氧化物陷阱电荷和可动离子电荷。界面陷阱电荷Qit：归因于SiO2/Si界面性质，并取决于该界面的化学组分，在SiO2/Si界面上的陷阱，其能级位于硅禁带之内，和晶面取向有关。氧化物固定电荷Qf：位于SiO2/Si界面约30Å范围内，在表面势大幅度变化时也不能充放电，Qf通常是正的，并和氧化、退火条件、Si晶面取向有关。氧化物陷阱电荷Qot：和SiO2的缺陷有关，分布在SiO2层内，和工艺过程有关的Qot可以通过低温退火除掉大部分。可动离子电荷Qm：如Na＋等碱金属离子，在高温和高压下工作时，它们可以在氧化层内移动。因此，在器件制造中，要防止可动离子的玷污。为简化分析，常假定它们都固定在SiO2/Si界面上，其面密度为Q0，对SiO2/Si系统，无论是p型衬底或n型衬底，Q0总是正的，在现代工艺水平下可低至10-10C/cm-2。Q0将在金属和半导体中感应极性相反的电荷-Q0，因此必须在金属上提供全部所需的-Q0，即除了，还有>电源的负极与金属相连，Cox是栅氧化层的单位面积电容，其中εox、dox分别为栅氧化层的介电常数和厚度。

3. 表面势：热平衡时，表面处的电子浓度和空穴浓度用ΨS表示为：，

4. 电势平衡和电荷平衡：电势平衡方程：。其中VGB为栅衬底偏压，ψox是栅氧化层上电压，ψS是表面势。电荷平衡方程（电中性条件）：。其中，QG是栅电荷， ，QS为表面层电荷，Q0是有效界面电荷。单位为C/cm2。由于Q0是不变的，因此。

5. 半导体表面状态：积累：ψS <0。电场方向：体内→表面。耗尽：ψS >0。电场方向： 表面→体内。，。。。。强反型：当外加栅电压增加到某一值（VG>>0）时，能带向下弯曲到使表面处的Ei在EF下方的高度正好等于半导体内部Ei在EF上方的高度。也就是说表面处N型层的电子浓度正好等于P型衬底的空穴浓度。这就是“强反型”条件。。。。讨论：（1）表面势φS=0时，表面与体内的电势相同，即为平带条件。这是“表面积累”和“表面耗尽”两种状态的分界；（2）φS=φB时，Ei和EF在表面处相交，表面处于本征状态。这是“表面耗尽”和“表面反型”两种状态的分界；（3）φS=2φB时，是“弱反型”和“强反型”的分界。对于MOSFET说，最令人关注的是处于反型的表面状态。当栅偏压VG>>0时，P型半导体表面的电子浓度将大于空穴浓度，形成与原来半导体导电类型相反的N型导电层，它不是因掺杂而形成的，而是由于外加电压产生电场而在原P型半导体表面感应出来的，故称为感应反型层。这一反型层与P型衬底之间被耗尽层隔开，它是MOSFET的导电沟道，是器件能否正常工作的关键。反型层与衬底间的P－N结常称为感应结。当VS >2VB , 半导体表面出现反型层(MOS器件中称为沟道), 即电子势阱。当势阱宽度足够窄,势阱中的电子即称为一维电子势阱中的2DEG：势阱中的电子在平行于界面(势阱壁)方向的运动, 可视作二维准自由电子的运动; 在垂直于界面(势阱壁)方向的运动, 必须考虑量子效应——能量量子化.

6. C－V特性：。积累：。耗尽：。强反型：。高频C-V特性：表面积累,表面耗尽,高低频特性一样。VG>VT, VS>2VB, 表面强反型,高频时,反型层中电子的增减跟不上频率的变化,空间电荷区电容呈现的是耗尽层电容最小值。MOS结构的电容也呈现最小值不再随偏压VG呈现显著变化。反型层电荷主要由少数载流子决定，在低频时，它随电场的变化而变化，反型层电容起重要作用。当频率高于某一频率值时，反型层电荷（少子电荷）将不能交变信号，即少子的产生复合的速度跟随不上电场频率的变化，于是反型层电荷将不随交变电场变化，这意味着与反型层电荷相关的交变电容为0。响应时间。深耗尽状态：当偏压VG的变化十分迅速, 且其正向幅度大于VT , 则:即使表面势VS>2VB,反型层也来不及建立, 耗尽层宽度随偏压幅度的增大而增大--深耗尽状态当表面处于深耗尽--随VG增加, d增加(>dM), MOS结构的电容不再呈现为最小值.

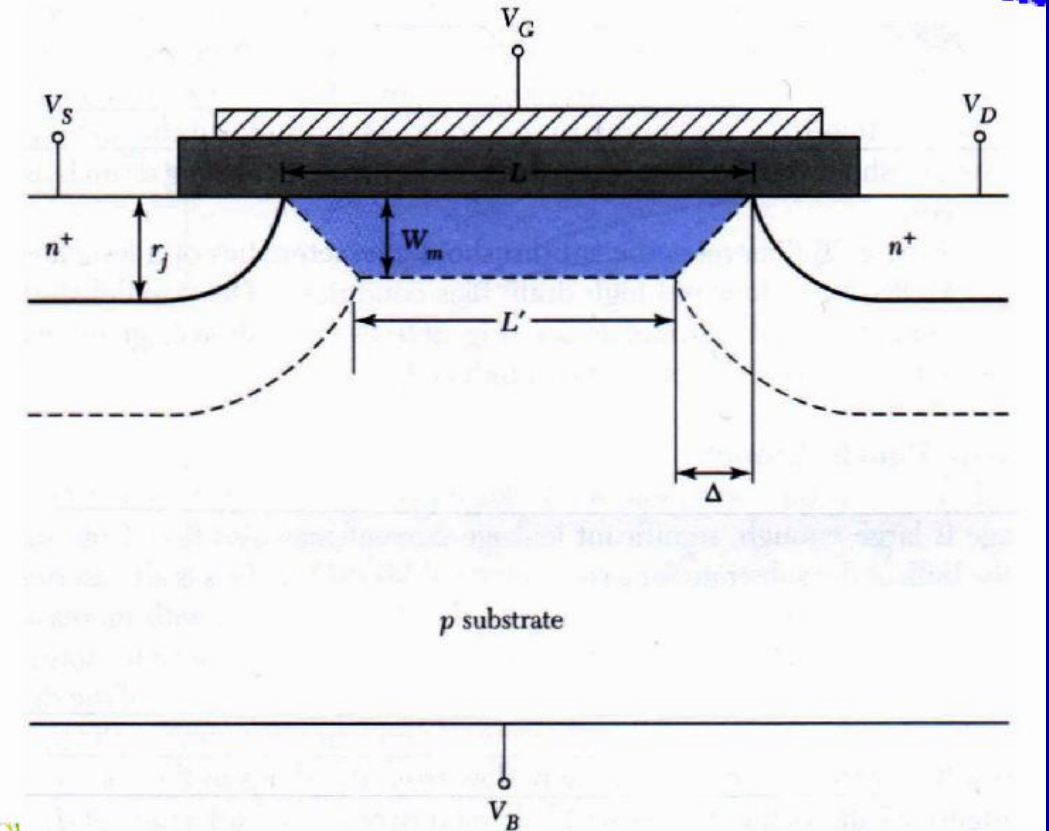
7. 阈值电压VT：使衬底表面（半导体表面）强反型时所需加的栅压VG称为阈值电：压。阈值电压VT应当由三部分组成：（1）抵消功函数差和有效界面电荷的影响所需栅压即平带电压VFB（2）产生强反型所需表面势（3）强反型时栅下表面层电荷Qs在氧化层上产生的附加电压，通常近似为。。NMOS：，。PMOS：，。离子浅注入：，其中，NI是注入剂量，单位：/cm2，注入p型，取“＋”；注入n型，取 “－”。施加反向衬底电压：，。氧化层厚度对VT也有影响。当dox增加时，栅压对半导体表面的控制作用减弱，为使表面形成导电沟道，需要更大的栅压即阈值电压VT增加。这一点对MOS器件以外区域的半导体表面十分重要，这些区域称为场区。场氧化层比栅氧化层厚得多。场区的阈值电压可高达几十伏，比栅压大一个数量级，适用于MOS器件之间的隔离。为了防止寄生沟道的产生，场区必须进行高浓度掺杂，使表面不容易反型，从而将沟道隔断开。由于Qox总呈现为正电荷效应，因此常规工艺作出的P沟MOSFET的阈值电压只能是负的，即总是增强型的。Qox对VT影响很明显，随Qox的增大，VT向负值方向增大。在NA（或ND）衬底掺杂一定时， Qox过大将会使器件由增强型变为耗尽型，因此减少氧化层电荷，降低MOSFET的VT是制作高性能器件的一个重要任务。阈电压与氧化层电容（COX）还有关系，减小厚度以增大电容就可以降低阈电压。但过薄的氧化层给工艺带来更多的困难（如增加针孔等），可以选用介电常数更高的介质材料，如氮化硅（相对介电常数为7.5）介质就是一例。

8. 直流特性：假设：（1）一维近似。源区和漏区以及沟道边缘的耗尽层都忽略不计，只考虑沟道中的电流及电压沿y方向的变化。（2）沟道区不存在复合产生电流。（3）反型沟道内的掺杂是均匀的。（4）沟道内的扩散电流比电场引起的漂移电流小得多，且沟道内载流子的迁移率为常数。（5）强反型近似，即当半导体表面能带弯曲量为2ΦB，沟道开始导电。（6）沟道与衬底间的反向饱和电流很小，可以忽略不计。（7）不考虑源区和漏区的体电阻以及接触电阻。（8）采用肖克莱的缓变沟道近似模型，即假设跨过氧化层的垂直于沟道方向的横向电场Ex与沿着沟道方向的纵向电场Ey独立无关，且沿沟道长度方向的电场变化很慢，即。。线性区/非饱和区萨氏方程：，，。饱和区：沟道被夹断，超过VDsat的那部分外加电压即（ VDS-VDsat）降落在夹断区上，而夹断区是已耗尽空穴的空间电荷区，因此在夹断区中产生强电场。当夹断区上电压降（VDS-VDsat）增大时，夹断区长度扩大，有效沟道长度Leff缩短。沟道夹断时的漏电压：，，，。

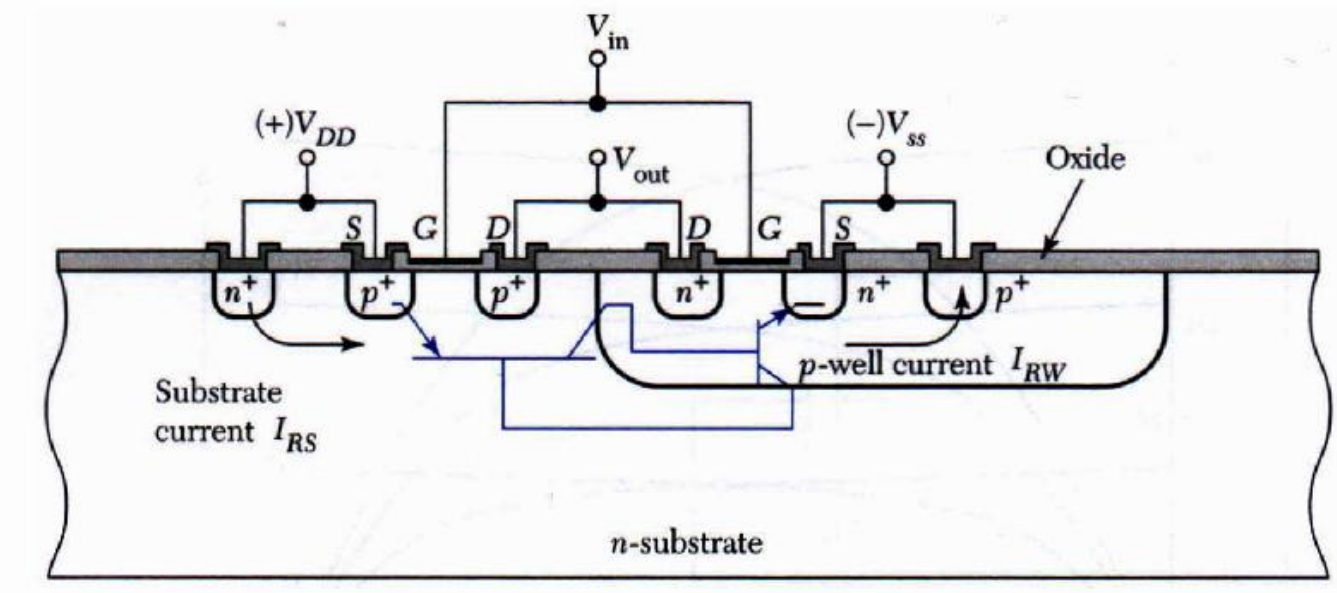
9. 亚阈值区：一般把栅压低于阈值电压时的漏电流称为亚阈值电流。对应的工作区称为亚阈值区。亚阈值电流的存在，使器件截止时的漏电流增大，影响器件作为开关应用时的开关特性，并增大了静态功耗。亚阈值区漏电流主要为扩散电流：。亚阈值斜率参数。当MOSFET处于弱反型区（亚阈值区）时，其漏电流除了来源于弱反型沟道中载流子的扩散电流外，反偏漏结的反向电流也是其组成部分。但漏结的反向电流通常只有10-12A的数量级，而弱反型的沟道电流都可以达到10-8A的数量级。

10. 直流参数：阈值电压VT略。饱和漏电流IDSS略。截止漏电流等于P-N结的反向饱和电流，对于N沟MOSFET，在二氧化硅绝缘层中总是存在正电荷，如果正电荷密度很高，就可能在栅氧化层或场氧化层下面感应出微弱的反型层，产生表面漏电流。一旦这种弱反型层与器件的缺陷相连或延伸到晶片周围，就会产生可观的漏极电流。导通电阻。栅源直流输入阻抗：栅源两极为MOSFET的输入电极，因而MOSFET直流输入阻抗就是栅源直流绝缘电阻RGS。由于金属栅极与半导体层隔着一层绝缘性能良好的栅氧化层，所以RGS主要就是栅极下SiO2层的绝缘电阻。只要栅氧化层上没有严重的缺陷， RGS 一般都可以达到109Ω以上。所以当其上加上电压后,栅极电流非常小。对于生长的二氧化硅，栅电流约为10-10A/cm2，因此，MOSFET的输入阻抗是非常高的，大约在1014—1016Ω,这正是单极型晶体管优越于双极型晶体管的重要标志之一。在短沟道器件中,为了获得长沟道的电学性能，往往要求栅氧化层厚度很薄，这时，能量接近于金属栅电极费米能级的电子就可能隧穿二氧化硅的禁带而进入金属栅极，从而增大了栅电流。以及漏—源击穿电压，穿通电压和栅一源击穿电压。最大耗散功率PCM：MOSFET的耗散功率为PC=VDS×IDS。耗散功率将转变为热能，使器件温度上升，从而其性能变坏，甚至不能正常工作。为保证MOSFET正常工作而允许耗散的最大功率称为最大耗散功率PCM。MOSFET的功率主要耗散在沟道区（特别是沟道夹断区），因而提高PCM主要是要改善沟道到衬底、到底座、到管壳间的热传导及管壳的散热条件。

11. 直流参数：栅跨导gm略，为了得到高跨导的MOSFET，在给定材料和氧化层厚度的条件下，必须增加沟道的宽长比（Z/L），且主要是增大沟道宽度，以获得所需的漏极电流和跨导值。当沟道长度L很小或栅氧化层厚度d很薄时，跨导可能变得非常大。然而实际研究结果表明，跨导的理论最大极限值为（qI/KT）。实验发现，饱和区跨导gm随VGS上升而增加，但VGS上升到一定值时， gm反而会下降。栅压较低时，μ n可看作常数。当栅压升高时，跨导随栅压增大而上升速率变慢。这是由于μ n随栅电场增强而下降，对VGS的增大起补偿作用的结果。当栅压增加到μ n下降使β 因子的减小同VGS增大的作用完全抵消时， gm达到最大值。之后， VGS继续增加，μ n下降起主要作用。因此，实际MOSFET在栅压VGS比较高时，跨导gm反而随VGS增大而下降。当漏源电压较高，漏电场较强时，强场使载流子迁移率下降，漏电流减小。可以证明：由于高场迁移率的影响，gm下降为弱场时的。当VDS增大到沟道电场达到EC时，载流子漂移速度达到极限值vSL，跨导达到最大值：。源区漏区串联电阻RS、RD对跨导的影响实际MOSFET中，源区、漏区都存在体串联电阻，电极处存在欧姆接触电阻等。使实际加在沟道区的栅源电压和漏源电压低于外加电压，由此导致实际跨导低于理论值。加在有源区上的实际有效漏源电压和栅源电压分别为VDS和VGS ，外加电压分别为V’DS和V’GS。，。提高跨导的关键是增大β 因子,而提高β 因子主要有以下几个方面：① 提高载流子沟道迁移率，即选用高迁移率材料，并用表面迁移率高的晶面。② 制作高质量、薄的栅氧化层，以增大栅电容Cox③ 尽可能采用沟道宽长Z/L比大的版图。④ 减小源漏区体电阻和欧姆接触电阻等，以减小串联电阻。衬底跨导gmb。漏电导gd。

12. 有效沟道长度调制效应：随着VDS超过VDSat，沟道出现夹断，并随着VDS的进一步增加向源端移动，漏端耗尽区宽度增加，有效沟道长度Leff减小，沟道电阻也减小，导致漏电流增大。这种有效沟道长度随VDS增大而缩短的现象称为有效沟道长度调制效应。漏感应势垒降低效应（DIBL效应）：对于衬底电阻率较高的MOSFET，当VDS>VDSat时，漏区－衬底的P-N结耗尽层宽度大于或接近于有效沟道长度。这一现象在沟道长度较短时尤为显著。因此起始于漏扩散区的电力线的一部分将通过较宽的耗尽区而终止于沟道区。这相当于漏一沟道间有相当大的耦合电容存在。这样，当漏源电压增加时，耗尽区内的电场强度亦随之增加，必然引起沟道内的感生电荷相应地增加，以终止更多的电力线。因而沟道电导增大。由于有效沟道的电压基本维持在VDSat值上，所以沟道电流将随漏电压VDS的增大而增大，这就是漏区与沟道区的静电反馈效应。漏区起着第二栅的作用。由于电力线会穿越漏到源，引起源端势垒降低，从源区注入沟道的电子增加，导致漏源电流增加，通常称该过程为漏感应势垒降低DIBL。对一定的VDS，器件的沟道长度L越小，DIBL效应越显著，漏极电流增加越显著，导致器件不能关断。DIBL是MOS器件尺寸缩小的一个基本限制，是漏电压VDS引起的沿沟道方向的电势分布使源和沟道间的势垒降低。当短沟道器件工作在阈值电压附近时，DIBL效应非常严重。

13. 高频特性：跨导截止频率ω gm：跨导下降到低频时的2-1/2对应的频率称为跨导截止频率。跨导截止频率实际上来源于通过等效沟道电阻对栅源电容充电的延迟时间。提高跨导截止频率ω gm，应选用迁移率大的p型材料作衬底，缩短沟道长度和减小阈值电压。截止频率fT：定义fT为输出端交流短路时MOSFET的输出电流和输入电流相等时的频率。又称为增益带宽乘积 。（非饱和区）（饱和区）。提高MOSFET的截止频率的关键是减小沟道长度，但L的减小将受到源漏穿通和短沟道效应（后述）的限制。另外，fT与沟道中载流子迁移率μ成正比，所以在条件相同情况下，N沟道MOSFET要比P沟道器件的高频特性好。因此，高频MOSFET都用N沟道做。此外，减小阈电压或提高栅压也有利于改善频率特性。还要注意的是尽量减小寄生参量。响应时间：由MOSFET的工作机理的分析可知,其响应速度受 到三个因素的限制：①载流子渡越沟道所需要时 间的限制。这是对器件速度的基本限制；②本征 栅电容充放电时间常数的限制；③寄生电容的时 间常数所引起的限制。为简单起见，只考虑饱和条件下第①个因素对速 度的限制，即考虑载流子从源端沿沟道到达漏端 所需要的时间（称为沟道渡越时间），记为τ。。提高MOSFET频率特性的途径：（1）提高迁移率用（100）方向的p型Si作N沟MOS，增加表面工艺，改善表面迁移率。采用离子注入获得高迁移率的埋沟结构，不受表面散射影响。（2）缩短沟道长度L沟道渡越时间减小，从而使提高频率特性。（3）减小寄生电容Cgs’、Cgd’，采用自对准结构、偏置栅结构、双栅结构、SOI结构等。

14. 击穿特性：MOSFET产生击穿的机构主要有两种：漏源击穿和栅（绝缘层）击穿。其中，漏源击穿又分雪崩击穿和势垒穿通两种。1、 漏源击穿分为漏源雪崩击穿和漏源势垒穿通两种（1）漏源雪崩击穿其中，漏源雪崩击穿又分为漏-衬底PN结雪崩击穿和沟道雪崩击穿（沟道击穿）（a）漏-衬底PN结雪崩击穿。一般情况下，MOSFET的源极与衬底相连，在漏源间施加电压VDS就等于在漏－衬底PN结上施加反向电压。当VDS很大时，PN结耗尽区中电场强度变大，到VDS达某一数值后，耗尽区中就会出现雪崩击穿。从特征上看，它和PN结击穿完全一样，击穿电压在很大程度上依赖于结的高电阻侧的掺杂浓度，同时也受到漏扩散区曲率半径的影响。 但实测结果表明，典型MOSFET的漏源击穿电压远低于理论计算值。原因是：金属栅电极的边缘总有一部分覆盖在漏扩散区上，而栅源电压的大小就对这一部分的电场分布产生很大的影响，从而影响漏源击穿电压。由于金属栅电位低于漏电位，于是在栅－漏区的棱角处形成了附加电场。通常的栅氧化层厚度d要比PN结耗尽层厚度小很多，所以这个附加电场往往比PN结耗尽区电场强得多，增大了栅下覆盖区pn结耗尽区中的总电场，因而使漏源击穿电压大大低于单一PN结的击穿电压。考虑到栅极影响后，MOSFET的漏源击穿电压不仅很低，而且对N沟MOSFET，BVDS随正栅压的增加而增大，对P沟MOSFET，BVDS随负栅压的增大而增大。• 实验表明，当衬底电阻率大于一定数值（为1Ω·cm）时，BVDS基本上与衬底电阻率无关，即与衬底掺杂无关，取决于结深、栅电位的极性和大小、栅介质膜厚度及电极覆盖等，由覆盖区附加电场的大小决定。所以由于栅极对漏击穿的调制作用，实际MOSFET的漏源击穿电压的典型值只有2~40V，这种情况称为“栅调制击穿”。（b）沟道雪崩击穿（沟道击穿）多发生在短沟道MOSFET中，漏源电压在沟道中建立起较强的横向电场。器件导通后，沟道中快速运动的载流子通过碰撞电离和雪崩倍增效应产生大量电子－空穴对，在沟道漏端夹断区这一现象更明显。对NMOS，雪崩倍增产生的电子被漏极收集，导致漏电流剧增而击穿。空穴被衬底吸收，成为寄生衬底电流的一部分。PMOS则正好相反。雪崩注入现象：雪崩击穿后，IDS－VDS曲线向高电压方向蜕变的现象。利用这种现象制作浮置栅雪崩注入MOS器件（FAMOS），广泛用于MOS存储器中，并制成了EPROM等。（2）漏源势垒穿通当MOSFET的沟道长度足够短，而衬底掺杂足够低时，漏源电压足够大时，即使漏与衬底间还未发生雪崩，但漏区的耗尽层已展宽到与源区耗尽层相连，这一现象就称为漏源穿通。在穿通条件下，源漏间耗尽区里虽然没有可动载流子，但高掺杂区内的大量可动载流子可以直接由源区注入到耗尽的沟道区，而被耗尽区中的强场扫向漏极，形成大电流状态，从而出现穿通效应。对于在高电阻率衬底上制成的重掺杂浅扩散漏区，其耗尽区宽度可用突变结近似求得，当耗尽区宽度W等于沟道长度L时，穿通效应发生，对应的漏源电压就是穿通电压。即。衬底掺杂浓度愈低，沟道长度愈短，就愈容易出现源-漏穿通现象。考虑上述因素后，MOSFET的漏源击穿电压应由漏结击穿电压（漏源雪崩击穿电压和沟道雪崩击穿电压）和漏源势垒穿通电压中最小的一个来决定。栅击穿：MOSFET中的栅压击穿实质上就是栅氧化膜的击穿。当栅源电压或栅漏电压超过一定限度时就会引起栅氧化膜击穿,使栅金属与下面的硅发生短路，造成永久性破坏。所以在MOSFET的使用中，栅极上不能加过高的电压。实践证明，氧化膜的击穿电压与其厚度成正比。氧化膜发生击穿的电场强度EmB约在5×106~107V/cm之间。一般MOSFET的栅氧化膜厚度d约为100nm~200nm，由于氧化膜质量的差异，即使对同样厚度的氧化膜，其击穿电压也有所不同。对于热生长的氧化膜，认为氧化层内电场大于8×106V/cm时就会引起介质击穿。这样，栅源击穿电压可近似表示为。表面上看来，栅击穿电压并不低，但实际上很容易被击穿，这是因为栅与半导体之间构成了一个MOS电容器，其电容量很小，通常只有n个pF，且膜的绝缘电阻很高。因此，静电荷容易在栅极上积累造成较高的栅电压，从而引起栅氧化膜击穿。例如，对100nm厚的氧化膜，若CG=1pF，则QG=8×10-11C的栅电荷就会产生VG=QG/CG=80V的栅压，使氧化层击穿。所以MOSFET在测试使用过程中，都必须十分小心，以防栅击穿，存放时应使各电极间短路。为防止静电对栅介质的损坏，可采用两种方法来避免器件在测试，使用和存放中可能受到的偶然破坏。一是测试使用中设备要妥善接地，焊接时烙铁也应有地线保护，操作人员应力戒将电荷引进栅电极，保存时用导电材料将各电极间短路；二是在输入端引入保护二极管，一般是用齐纳二极管或穿通二极管。把齐纳二极管的击穿电压设计成低于栅击穿电压即可起保护作用；穿通二极管一般是和栅电极并联即可。

15. 功率特性：高频功率增益定义为器件工作在高频状态下，器件的输入端及输出端各自共轭匹配时，输出功率与输入功率之比。也是最佳高频功率增益。。输出功率。欲提高MOS器件的输出功率，应提高漏源击穿电压、漏极电流，并降低饱和压降。MOS器件的最大输出功率也受到器件散热能力的限制。MOS器件的发热中心在漏结附近的沟道表面处。MOSFET最大耗散功率。RT包括芯片热阻，焊料和过渡材料热阻以及管壳热阻等。其中最主要的仍是芯片热阻。MOS器件求热阻的方法与双极型器件不同，此时的热源是漏结附近一细长薄线状区，所以不能像双极型器件那样简单地计算矩形截面体的热阻，而需要用计算传输线特征阻抗的方法才能求出。由于MOS管不存在二次击穿效应，所以MOSFET的安全工作区大于双极型器件。

16. 温度特性：1. 迁移率随温度的变化。实验发现，在MOSFET的反型层中，当表面感生电荷密度|QS/q |<1012cm-2（相当于ES=QS/ε0εS≈105V/cm）条件下，电子和空穴的有效迁移率实际是常数，其数值等于半导体体内迁移率的一半。实验还发现，此时迁移率随温度上升而呈下降趋势。在较高温度下，反型层中的电子与空穴的迁移率而在-55~+150℃的较低温度范围所以，器件因子β 具有负温度系数。2. 阈值电压和温度的关系。实验表明：在-55~+125℃的温度范围内，n沟及p沟器件的阈值电压都随温度线性变化。且n沟MOS器件具有负温度系数，p沟具有正温度系数

17. 开关特性：（1）截止关闭时间。缩短关闭时间，一要减小对地等效电容CGND，特别是要减小寄生电容的影响；二要增大负载管的β2，即增大V2管的导通电流，使充电速度加快。（2）导通开启时间为减小导通时间，一是减小输出端对地等效电容CGND，二要增大倒相管的跨导，即增大β1。CMOS电路的基本特点：低功耗、抗干扰能力强。，。

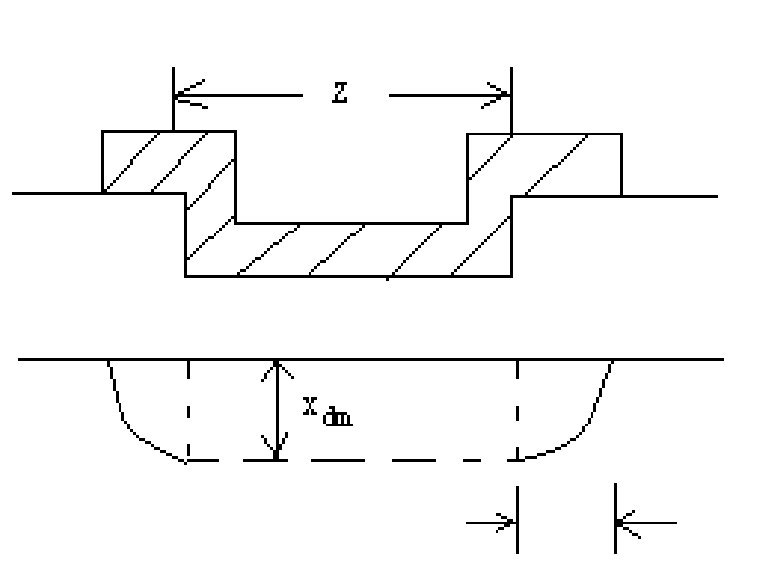
18. Latch-up闩锁效应：The cause of latch-up is the action of the parasitic p-n-p-n diode, which consists of a lateral p-n-p and a vertical n-p-n bipolar transistors, in the well structure.避免闩锁效应的主要方法a) Reducing the current gains parasitic BJT. b) A deeper well structure. c) Using a heavily doped substrate. d) With the trench isolation scheme

19. 优缺点：优点：（1）输入阻抗高。一般为1010Ω的数量级，最高可达1013Ω，这有利于放大器各级间的直接耦合，且只需要很小的前级驱动电流，并可与多个FET并联；（2）场效应晶体管的输入功耗很小；（3）温度稳定性好；因为它是多子器件，其电学参数不易随温度而变化。例如当温度升高后，FET沟道中的载流子数略有增加，但同时又使载流子的迁移率稍为减小，这两个效应正好相互补偿，使FET的放大特性随温度变化较小；（4）场效应晶体管的增益（即栅的跨号gm）在较大漏电流条件下基本上不变化。而双极晶体管的hFE（IC）在大电流下却很快下降；（5）噪声系数小，这是因为FET依靠多子输运电流，故不存在双极晶体管中的散粒噪声和配分噪声；（6）抗辐射能力强。双极晶体管受辐射后非平衡少子寿命降低，故电流增益下降。FET的特性与载流子的寿命关系不大，故抗辐射性能较好；（7）增强型MOS晶体管之间存在着天然的隔离，可以大大地提高MOS集成电路的集成度。缺点：（1）工艺环境要求高；（2）对晶体缺陷要求高；（3）场效应管的速度比双极晶体管的速度要低等。

20. 短沟道效应：根本原因在于沟道区出现二维电势分布以及高电场。1、阈值电压的变化(1)短沟道效应(SCE)。分析短沟道器件中阈值电压漂移采用Poon－Yau几何模型：在沟道缩短后，由于漏衬结和源衬结的耗尽区靠得很近，受栅压控

制的空间电荷区将由原来的矩形区变为梯形区，梯形区以外的空间电荷区不受栅极控制，受栅极控制的栅下空间电荷总量减小。(2)窄沟道效应（NWE）在实际MOS器件中，在沟道宽度方向的两端耗尽层将向两侧延伸延伸部分长α xd， 造成在厚场氧化层与薄栅氧化层过渡区形成类似“鸟嘴”结构。由于沟道变窄后，使栅下可控空间电荷增多，平均电荷面密度增大，因而阈值电压上升。2、速度饱和效应对漏特性及跨导的影响考虑到沟道电场很强，沟道载流子漂移速度达到饱和时，漏特性及跨导表达式有所变化：3、热电子效应。当电子在大于104V/cm的电场下运动时,它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量,因而电子的温度将会超过晶格温度,这样的电子就称为热电子。强场下产生的这种热电子效应将从两个方面影响短沟道MOSFET的性能：①热电子及其产生的二次电子进入栅氧化层，造成

阈电压漂移等不稳定性；②热电子引起的碰撞电离，将产生衬底电流，导致寄生三极管作用（也称为自锁现象），从而使—漏击穿电压降低。在短沟道器件中，为了避免短沟道效应，总是取相当高的衬底掺杂浓度。而较高的衬底掺杂浓度

将导致较高的沟道电场，这就加剧了热电子效应。漏区的结深越浅，曲率半径越小，则漏区附近的电场越强，热电子效应愈加明显。所以，器件的物理、几何结构也对热电子效应产生显著影响。（1）栅氧化层充电效应：对于短沟道MOSFET，在较低栅压下就可能产生很强的沟道电场或耗尽区电场。例如，L=0.24μm的器件，在VDS=3V时，沟道中的电场强度已达到1.2×105V/cm，足以产生大量的热电子。这种具有足够能量的热电子能够克服Si/SiO2表面势垒而注入到栅氧化层中去，成为氧化层中的陷阱电荷，从而影响MOSFET的性能。除了沟道热电子以外，在沟道与衬底间的耗尽区内或衬底中性区的某些电子（衬底热电子）以及漏端附近夹断区内的热电子也会热激发而进入栅氧化层。氧化层中负电荷的增加将使阈电压增加。在栅压小于阈电压时，由于界面陷阱电荷的影响，亚阈电流将明显地增大。对于长时间工作的器件，栅氧化层中热电子电荷会连续积累，器件性能将会退化。主要表现在阈值电压漂移、跨导降低、亚阈值斜率增加等，严重地影响了器件性能，特别是限制了短沟道MOSFET的最大可用漏电压。另外热电子退化对MOSFET的可靠性构成威胁，必须尽可能避免。为了减小热电子效应对器件性能的影响，要求最大限制地减少栅氧化层的陷阱密度。去离子水、氧化层生长及光刻工艺等都可能引进陷阱密度，工艺的改进将会使陷阱密度控制在1010cm-2的数量级。（2）寄生晶体管效应。热电子通过碰撞电离产生次级电子空穴对，这些次级电子将流入漏极，形成漏电流；而空穴将流入衬底，将产生衬底电流，当较大的衬底电流通过衬底时，会在衬底上产生电压降，由于MOSFET的源通常接地，则将VBS直接加到源衬pn结上，并使源区电位比衬底电位低VBS，使源衬结处于正向偏置状态。这时，在漏衬源之间，由正偏源衬结（n+p）和反偏漏衬结（n+p）组成一个寄生的n+pn+晶体管，这个寄生三极管与MOSFET并联。这种复合结构是大多数短沟MOSFET导致漏源击穿的原因，并且会引起IV曲线的回滞现象。在CMOS电路中，则会导致闩锁效应。

21. 器件小型化规则：按比例缩小MOSFET。为了避免不希望发生的短沟道效应所采取的一种措施是：按比例缩小长沟道MOSFET的纵向和横向的所有尺寸以及外加偏压，且保持器件内部的电场分布和强度不变，则器件仍维持长沟道特性。这一措施为器件小型化提供了一幅概念上十分简单的图象。恒定电场规则（CE）：按比例缩小的方法保持沟道电场不变 ，其余参数L、Z、dox、xj、VGS、VDS、VBS、衬底掺杂浓度等按比例缩小或放大。恒定电压规则（CV）：按比例缩小的方法保持沟道电压不变，其余参数则按比例缩小或放大。但是，尺寸的缩小原则也受到很多方面的限制。例如，在物理参数方面，禁带宽度随掺杂浓度的变化，耗尽层宽度的下降也有一定限度；对器件设计来说，结深很浅的源漏区增加了器件的寄生电阻，细金属化内连线也将发生电迁移现象，以及几何尺寸的减小会引起阈电压的增大，所以这些都将影响器件的特性，在制造工艺上也增加了难度。为了寻找更灵活的按比例缩小措施，可以应用最小沟道长度的表达式。当Lmin给定时，γ值就可以求出。只要γ值保持相同，各种器件参数允许独立调节。因此，全部器件参数无需按相同的倍率α 增减。有了这种灵活性后，就允许设计者选择较易制造的最优化的几何图形，而不选择严格按比例缩小的几何图