JFET和MESFET1. 金属半导体接触的形成：金属/半导体接触结构通常是通过在干净的半导体表面淀积金属而形成。利用金属硅化物技术可以优化和减小接触电阻，有助于形成低电阻欧姆接触。目前使用平面工艺制作面接触。

2. 金半接触的类型：金属-半导体结分为两种类型：具有整流作用的肖特基结和非整流低电阻的欧姆结。肖特基结：又称为肖特基势垒接触。1938年，肖特基提出，半导体内稳定的空间电荷形成的势垒可能有整流作用。由此产生的势垒模型就是所谓肖特基势垒。金属半导体形成的具有整流效应的结称为肖特基结。欧姆结：又称为欧姆接触。金属半导体接触也可能是非整流性的, 即不管所加电压极性如何，接触电阻均可忽略，这种金属半导体接触称为欧姆接触。为实现电子系统中的相互连接，所有半导体器件和集成电路都必须有欧姆接触。

3. 能带关系：金属和半导体接触时，由于金属的功函数一般和半导体的功函数不同，而存在接触电势差，结果在接触界面附近形成势垒，通常称为肖特基势垒。功函数是费米能级和真空能级的能量差（即对于金属为，对于半导体为）。半导体导带底和真空能级能量差称为电子亲和能。金属半导体的接触势垒是指电子从金属进入半导体必须克服的势垒的高度。功函数: ,( --真空中静止电子的能量,亦记作)。功函数给出了固体中EF处的电子逃逸到真空所需的最小能量。关于功函数的几点说明:① 对金属而言, 功函数Wm可看作是固定的。功函数Wm标志了电子在金属中被束缚的程度。对半导体而言, 功函数与掺杂有关② 功函数与表面有关。③ 功函数是一个统计物理量。对半导体而言,功函数W与掺杂有关，电子亲和能是固定的，半导体功函数与杂质掺杂浓度的关系。n型半导体: WS=χ+(EC-EF)。p型半导体: WS=χ+[Eg-(EF-EV)]。假设金属与半导体功函数差为：Wms，且一般情况下不为0。当金属和半导体形成接触时，如果二者的功函数不同（费米能级不等），则会发生载流子浓度和电势的再分布，形成肖特基势垒。通常会出现电子从功函数小（费米能级高）的材料流向功函数大的材料，直到两材料体内各点的费米能级相同（即Ef ＝常数）为止。半导体体内载流子的再分布会形成载流子耗尽或积累，并在耗尽区或积累区发生能带弯曲，而在金属体内的载流子浓度和能带基本没有变化。

4. 金属半导体的接触电势差：M/n型半导体：①接触电势差--为了补偿两者功函数之差，金属与半导体之间产生电势差:

Vms=(Ws –Wm)/e。当Wm>Ws , Vms<0 (金属一边低电势)(阻挡层)。通常可认为接触电势差全部降落于空间电荷区。②半导体一边的势垒高度：VD=|Vms|③表面势—半导体表面相对于体内的电势Vs= Vms④金属一边的势垒高度(肖特基势垒--SB):eΦSB = eΦns= Wm –χ。通常选择ΦSB为描述金属/半导体接触势垒的基本物理量(ΦSB几乎与外加电压无关)。

5. 金属半导体接触的几种情况：对M / n型半导体: Wm>Ws 能带上弯--电子势垒，空间电荷—电离施主。Wm<Ws 能带下弯--电子势阱，空间电荷—电子积累。势垒—阻挡层, 势阱—反阻挡层。对M / p型半导体: Wm>Ws 能带上弯--空穴势阱，空间电荷—空穴积累。Wm<Ws 能带下弯--空穴势垒，空间电荷—电离受主。势垒—阻挡层, 势阱—反阻挡层6. 金属半导体接触的势垒高度：当金属与半导体形成紧密接触时，在热平衡下两种材料的费米能级必须相等。此外，真空能级必须是连续的。对于这种理想的情况，势垒高度就是金属功函数和半导体电子亲和能之差。对于理想的金属

分别与N型、P型半导体接触，其势垒高度为：，。对给定的半导体，任何金属在n型衬底和p衬底上的势垒高度之和总等于Eg，。N型半导体的内建电势为。因此，其势垒高度还可以写成。其中qVn为半导体的导带底和费米能级之差。

7. 金属半导体接触的电容特性：金属与n型半导体接触，金属一侧有负表面电荷，半导体一侧存在等量的但极性相反的正空间电荷。这种电荷分布和具有同样电场分布的P+-N结完全相同，由此得到半导体表面耗尽层宽度为：。金属相对n型半导体加正电压（正向偏置）时，上式中外加电压V取正值；金属相对n型半导体加负电压即反向偏置时，外加电压V取负值。半导体内单位面积的空间电荷Qsc(C/cm2)和单位面积耗尽层电容C（F/cm2）可表示为：，8. 表面态对势垒高度的影响：n型Si和n型GaAs的势垒高度测量值显示，ΦBn随Wm的增大而增大，但不是直线，这是因为在实际的金属半导体接触中，由于晶格不连续，在接触界面处产生大量的能量状态，这些能量状态叫做界面态或表面态，它们连续分布在禁带内，可能起施主或受主作用，影响势垒高度的实际值，对Si和GaAs，n型势垒高度被低估，p型势垒高度被高估。半导体表面处, 禁带中存在表面态. 半导体与其表面态通过交换电子, 达到相互平衡->由于表面态的存在,半导体表面产生空间电荷区, 能带弯曲。为了描述半导体表面态，引入中性能级qΦ0：当qΦ0以下的表面态全部被电子占据，而以上的全部空出时，半导体表面是中性的。低于qΦ0的界面态没有电子占据时带正电，作用相当于施主，高于qΦ0的界面态被电子占据时带负电，作用相当于受主。如果qΦ0与半导体的EF重合，则界面态和半导体内部没有电子交换，界面的净电荷为0。如果qΦ0>EF，则电子从表面向体内转移，界面净电荷为正，qΦ0<EF，电子从体内向表面转移，界面净电荷为负。以M/n型半导体为例, 且Wm>Ws .①单独考虑表面态:表面态在能隙中形成一个能带.设表面态的电中性能级距价带顶为eΦ0由表面态的带电状态, 表面态可分为:施主型表面态—被电子占据时, 呈电中性, 失去电子后,呈正电性.受主型表面态—空态时, 呈电中性, 得到电子后,呈负电性.对大多数半导体,表面态电中性能级距价带顶大约有 eΦ0 =(1/3)Eg②半导体与其表面态通过交换电子, 达到相互平衡, 具有统一的EF。钉扎效应：当表面态的密度很大, EF被表面态钉扎 (钉扎于表面态电中性能级) . 对n型半导体:eVD =Eg –eΦ0 –(Ec –EF)n对p型半导体:eVD =eΦ0 –(EF –EV)p③考虑金属/半导体:当带有表面态的半导体与金属接触, 要考虑这三者之间的电子交换.平衡时,金属,表面态和半导体具有统一的EF。小结:仍以M/n-S, 势垒接触(Wm>Ws)为例:eΦSB =eVD+(Ec –EF)n。当不考虑表面态:eΦSB= Wm –χ当表面态的密度很高:eΦSB=Eg – eΦ0肖特基势垒高度与金属的Wm无关.一般情况下, 可介于二者之间,则有:eΦSB =( 1-S ) ( Eg – eΦ0 )+S ( Wm –χ )。S 称为界面行为因子(与半导体材料有关,与制造工艺有关)。当表面态密度很小, S->1.当表面态密度很大, S->0。

9. 肖特基效应：半导体中距离金属表面x处的电子会在金属上感应一个正电荷，这个正电荷称为镜像电荷，电子与这个正电荷之间的引力等于电子与位于－x处等量正电荷之间的静电引力，称为镜像力。这个势能叠加到理想肖特基势能上，将使原来的肖特基势垒曲线在x＝0处下降，即肖特基势垒降低，这种效应称为肖特基效应。大电场下，肖特基势垒被镜像力降低很多。镜像力使肖特基势垒降低的前提是金属表面附近的半导体导带底要有电子存在，势垒本身的高度由金半功函数和表面态决定，与电子是否存在无关。所以在测量势垒高度时，如果所用方法与电子在金属与半导体间的输运有关，则所得结果将比实际值要低。如果测量方法只与耗尽区的空间电荷有关，而不涉及电子输运，如电容法，则测量结果不受镜像力影响。同样，空穴也产生镜像力，它使半导体能带的价带顶在边界附近向上弯曲，使接触处能带变窄。肖特基势垒高度对实用肖特基势垒二极管(SBD)的电学性质有重要影响，连续调整肖特基势垒高度的方法有：①用金属的合金作为肖特基势垒金属，所得势垒高度随合金的组分线性变化；②在不同气氛下对半导体表面或金半势垒进行热处理，从而改变金半之间薄界面层厚度和性质，以此改变肖特基势垒高度，但较难得到稳定的器件性能；③在半导体表面作掺杂层。是目前广泛使用的方法，为使有效势垒降低，表面层掺入与半导体衬底同型的杂质，为使有效势垒高度增加，则在表面层掺入与衬底反型的杂质。10. 肖特基势垒二极管（SBD）：肖特基势垒中的电流主要由半导体中的多子承担，没有少子的注入和复合问题，故比pn结二极管有优良的高频特性。SBD通常采用迁移率大的n型材料制造。开关速度比pn结二极管大4个数量级。根据工作状态、结构特点和应用范围，可用于微波检波和混频（正向IV非线性），肖特基变容管（CV特性），箝位二极管（正向导通），光电二极管，雪崩二极管（反偏势垒特性）以及作为MESFET的控制栅极。伏安特性的定性图象：①定性图象--阻挡层的整流作用:(仍讨论M/n-S 形成电子势垒)M/S接触是多子器件. 对M/n-S 形成的电子势垒, 其输运特性主要由电子决定.正向偏置, 半导体一侧电子势垒降低, 可形成较大的正向电流.反向偏置, 半导体一侧电子势垒升高, 反向电流很小. 当反向偏置加大,反向电流可趋于饱和。热电子发射理论：，，。除多子电流外，还存在少子电流，由金属向半导体中注入少子（空穴），空穴的注入和p+n结情况一样，其电流密度为：，。基于热载流子发射的肖特基理论，I0取决于肖特基势垒高度有关；基于多子扩散理论，I0取决于半导体的自建势大小。精确分析：。其中，n为理想因子，I0为与不依赖电压的部分，非理想效应用n的取值来反映，n 通常取1.0-1.21）其中I0 通过外推得到。2） 可以从以前的式子得到势垒高度，在分析中势垒降低必须考虑。3）n从曲线斜率得到。相同点：①正偏时，指数关系；反偏时，电流趋于饱和。②具有整流开关作用，可以用作整流二极管。不同点：①电流输运机制完全不同。SBD是由热电子发射或多子扩散支配，产生复合电流只占很小比例。PND则与少子扩散和复合电流相关。② SBD是多子器件, 有优良的高频特性。一般情况下, 不必考虑少子的注入和复合。③相比PND而言， SBD有较低的正向导通电压，但反向击穿电压较低，反向漏电流较大。这是因为SBD的反向饱和电流与肖特基势垒参数与温度相关，而PND的反向饱和电流与少子浓度及其少子寿命相关。④ SBD还具有制备上的优势。正常工作条件下，SBD的少子电流比多子电流小几个数量级以上，因此是单极型器件。但在某些情况下，少子的影响也是显著的，不能完全忽略，比如在大电流条件下，少子注入比随电流密度增加而增大。11. 欧姆接触：定义接触电阻与半导体的体电阻或串联电阻相比可以略去不计的金属半导体接触为欧姆接触。作为器件引线，一个满意的欧姆接触不应显著降低器件性能。即，需要通过的电流在欧姆结上产生的电压降要远小于在器件有源区产生的电压降。表示欧姆接触性质的参量是比接触电阻（接触电阻率，又称特征电阻），其定义为。为了有小的接触电阻ρC，需要采用低势垒高度的金半接触。对于高掺杂浓度的接触，势垒宽度变得很，窄，隧道电流可能起支配作用。当隧道电流占主导地位时，即在隧道效应范围内，接触电阻率强烈依赖于掺杂浓度，且随因子指数下降。因此，为获得小的接触电阻ρC，需要用高掺杂浓度或低势垒高度的接触，或二者都用。①掺杂在1019cm-3以上时，金半接触的隧道效应显著，为场发射情况。ρC主要受隧道效应支配，且随杂质浓度的增加迅速下降。② 掺杂在1014～1017cm-3时，温度在室温以上时，金半接触的电流以热电子发射为主，ρC基本上与掺杂无关。③ 掺杂在1017～1018cm-3时，既有热电子发射电流又有隧道效应引起的场发射电流，称为热电子场发射情况。讨论：影响接触电阻的因素有半导体掺杂浓度、金半接触势垒高度、温度、电子有效质量、半导体表面玷污等，其中最重要的影响因素是掺杂浓度和势垒高度。半导体重掺杂能与许多金属形成接近理想的欧姆接触，而轻掺杂与金属形成欧姆接触时必须选择势垒高度很低的金属或合金才行。12. JFET：场效应晶体管是单极型晶体管。一般而言，N沟JFET优于P沟JFET。增强型器件在高速低功耗电路中有很大的使用前途。箭头的方向代表空穴流的方向。JFET一般都是耗尽型的。

13. 输出特性：VGS=0，VDS=0，；VDS>0，沟道耗尽层的这种变化可以忽略，沟道电阻可近似地用上式表示沟道电流IDS与VDS成正比；VDS增加，沟道被夹断，；夹断之后，当沟道载流子运动到沟道夹断点P时，立即被夹断区的强场扫向漏极，形成漏电流。这样，单位时间内源到达P点的电子数目基本不变，因而沟道内的电流也不变，这是因为沟道内从源到P点的电压保持不变。转移特性：当VGS=0时，漏极电流IDS大于零，而当VGS<0，且负到一定值时即VGS＝－VP，漏极电流才等于零，此时整个沟道被夹断。14. 伏安特性（直流IV特性）：GCA模型是指：栅结耗尽区中沿垂直结平面方向的电场分量Ex与沿沟道长度方向使载流子漂移的电场分量Ey无关，且满足沟道方向电场的变化远远小于垂直方向的电场变化。此即为缓变沟道近似理论。这种缓变沟道近似理论是有一定局限性的。它对于导电沟道夹断之后就不适用了。主要假设：①忽略源接触电极与沟道源端之间、漏电极与沟道漏端之间的电压降；②P+栅区与N型沟道区杂质分布都是均匀的，并且P+栅区浓度NA远远大于N型沟道区浓度ND，即栅结为单边突变结；③沟道中载流子迁移率为常数；④忽略沟道边缘扩展开的耗尽区，源极和漏极之间的电源只有y分量；⑤在栅结空间电荷区中，考虑垂直沟道方向的电场变化远远大于沟道方向电场的变化，满足GCA模型。其中假设③排除了载流子速度饱和的可能，说明沟道夹断是造成电流饱和的原因。只有对于沟道中场强很低的长沟道器件，这一假定才是合理的。假设⑤使得在求栅PN结耗尽层宽度时，二维泊松方程化为一维的。15. I-V特性方程：完整：，，，。线性区：，，。饱和区：，，16. 直流参数：本征夹断电压。夹断电压。此处的负号表示栅结为反向偏置。对于N沟JFET，Vp<0，对于P沟JFET，Vp>0。由此可见，沟道中杂质浓度越高及原始沟道越厚，夹断电压也越高。最大饱和漏极电流，增大沟道厚度以及增加沟道的宽长比，可以增大JFET的最大漏极电流。最小沟道电阻，由于存在沟道体电阻，漏电流将在沟道电阻上产生压降。漏极电流在Rmin上产生的压

降称为导通沟道压降，Rmin越大，此导通压降越大，器件的耗散功率也越大。实际的JFET沟道导通电阻还它包括源、漏区及其欧姆接触电极所产生的串联电阻RS和RD。它们的存在也将增大器件的耗散功率，所以功率JFET应设法减小Rmin、RS和RD，以改善器件的功率特性。栅极截止电流IGSS主要由反向扩散电流和势垒区产生电流构成，其值在。栅源输入电阻RGS相当高，其值在以上。但对功率器件而言，栅截止电流将大大增加。这是因为功率器件漏源电压较高，沟道的电场强度较大，强电场将使漂移通过沟道的载流子获得足够高的能量去碰撞电离产生新的电子一空穴对，新产生的电子继续流向漏极使漏极电流倍增，而空穴则被负偏置的栅电极所收集，使栅极电流很快增长。漏极电压愈高，漏端沟道电场愈强，沟道载流子在漏端产生碰撞电离的电离率α愈大，碰撞电离产生出来的电子一空穴对愈多。因此，在高漏源偏置的功率JFET中，栅极截止电流往往是很高的。例如，当漏源电压VDS=10V时，栅电流维持在10-10A数量级；而当VDS=50V时，栅电流将增大6个数量级而上升到10-4A。在短沟道器件中，由于沟道电场更强，更容易出现载流子倍增效应。漏源击穿电压BVDS：在JFET中,漏端栅结所承受的反向电压最大。在沟道较长器件中，当漏端栅结电压增加到PN结反向击穿电压时，漏端所加电压即为漏源击穿电压。：栅PN结反向击穿电压。输出功率正比于器件所能容许的最大漏极电流IDmax和器件所能容许的最高漏源峰值电（BVDS-VDSat），即输出功率：可见，对于功率JFET来说，不仅要求其电流容量大，击穿电压高，且在最高工作电流下具有小的漏源饱和电压VDSat。

17. 交流小信号参数：跨导 。漏电导。饱和区的漏电导：，，，。

18. 沟道杂质任意分布时器件的伏安特性：电荷控制法： ，。。

19. 高场迁移率的影响：对于Si，当场强很小时，载流子的漂移速度随电场的增强而线性增大；电场继续增强，漂移速度的上升速度变慢；当电场增至约5\*104V/cm时，漂移速度达饱和值VSL（≈8.5\*106cm/s）。而在GaAs和InP中，随着电场的增强，电子的漂移速度首先上升到一个峰值速度Vp，然后再下降并逐渐趋于一饱和值VSL(≈6-8\*106cm/s)。漂移速度的这种变化正说明载流子的迁移率在强电场下是一个与电场强度有关的变量。近似描述N型沟道中电子迁移率随电场变化的规律：。式中，一低场迁移率；一临界场强。。。沟道长度越短，器件的饱和漏极电流下降的幅度越大。

20. 频率特性：交流小信号等效电路：交流漏极电流：。实际器件中，靠近源端和漏端存在串联电阻，这些电阻引起源漏接触电极和沟道之间产生电压降IR，可以认为中央区截面是“本征”JFET。，。频率参数：特征频率fT的定义为在共源等效电路中，在输出端短路条件下，通过输入电容的电流等于输出漏极电流时的频率。也就是电流放大系数等于1时所对应的频率。因此，fT也称为共源组态下的增益-带宽乘积。。但特征频率随沟道长度的缩短而提高并不是没有限制的。一是渡越时间限制，因为载流子从源端到漏端需要一定的渡越时间，在弱场情况下，μ为常数，渡越时间因此，由渡越时间τ大小决定的JFET的工作频率为渡越时间截止频率.另一个限制是短沟道器件中载流子漂移速度达到饱和时的限制。此时，，由此，得到。最高振荡频率f：当JFET输入和输出均共轭匹配时，共源功率增益为1时的频率，，。由上面分析可见，器件的特征频率fT越高，最高振荡频率fm也越高。而器件的频率特性由它自身的几何尺寸和材料参数决定。另外，由于电子迁移率大于空穴迁移率，因此，不论是Si还是GaAs材料，微波器件都采用N沟FET的结构。再由于GaAs材料中低场电子迁移率又比Si的低场迁移率大约高五倍，所以，GaAs器件的频率特性又优于Si器件。要想得到高的fm，除了提高fT外，还必须使电阻比值r1达到最佳值，将寄生电阻RG、RS和反馈电容Cgd减到最小。

21. 击穿特性：随着漏源电压继续增加，最终导致器件进入雪崩击穿状态，这时器件上所加的漏端栅结上的反向偏置电压等于雪崩击穿电压。

22. 讨论：①是电压控制型器件，不需要大的输入信号功率。②是多数载流子导电的单极器件，无少子存储与扩散问题，速度高，噪音系数低；而且漏极电流Ids的温度关系决定于载流子迁移率的温度关系，则电流具有负的温度系数，器件具有自我保护的功能。③输入端是反偏的p-n结, 输入阻抗大, 便于匹配。④输出阻抗也很大, 呈现为恒流源，这与BJT大致相同。⑤JFET一般是耗尽型的，但若采用高阻衬底, 也可得到增强型JFET(增强型JFET在高速、低功耗电路中很有应用价值)；但是一般只有短沟道的JFET才是能很好工作的增强型器件。⑥沟道处于半导体内部，则沟道中的载流子不受半导体表面的影响，因此迁移率较高、噪声较低。

23. 肖特基栅场效应晶体管MESFET：MESFET的工作原理与JFET相同，是用肖特基势垒金半接触代替JFET的PN结做栅电极，通过其耗尽层厚度改变来调制电流通道（导电沟道）的横截面，而且其电学性质与JFET相仿。所以把它与JFET归为一类讨论。与JFET相比，MESFET在工艺制作和特性方面有某些优点。金半接触势垒在低温下形成，而pn结要在高温下采用扩散或生长工艺制造，因此可以采用GaAs这样电子迁移率高和饱和速度大的化合物半导体材料，来得到开关速度快和使用频率高的器件。GaAs与硅相比，电子迁移率大5倍，峰值漂移速度大一倍，所以GaAs MESFET在高频领域内得到广泛的应用。它在工作频率、低噪声、高饱和电平、高可靠性等方面大大超过了硅微波双极晶体管，最高频率可达60GHz以上。FET在大电流下具有负温度系数，即电流随温度的增加而减小，这个特点导致更均匀的温

度分布，而且即使有源面积很大，或在许多器件并联使用时，其热稳定性也非常好。24. MESFET：夹断电压和阈值电压于JFET相同。I-V特性中Ip取1/2。功率特性：一般微波晶体管主要指标是截止频率和噪声系数，功率晶体管主要指标是功率增益和效率。最大可用功率增益为：。其中f为工作频率，fT为截止频率，gd为漏电导，RS为源串联电阻，Ri为源漏间沟道电阻，LS为共源引线电感，CDS是米勒反馈电容。提高MESFET输出功率，有以下主要的工艺措施：①增加栅极宽度提高饱和漏电流②提高肖特基势垒栅的击穿电压，包括a选择外延的方法分别在源和漏引入低阻N＋接触层，b用双层外延制备高阻缓冲层，然后再外延高浓度有源层，c腐蚀凹栅。③尽可能减小热阻④提高功率增益。缩小栅长降低欧姆接触电阻和改善截止频率fT均可达到此目的。