



中国科学技术大学

# 数字逻辑电路复习宝典

学 院：信息科学技术学院

课 程：数字逻辑电路

主 编：高源

指导教师：胡新伟老师

# 目录

1 第二版前言 .....	3
2 第一版前言 .....	4
3 考点总结 .....	5
3.1 第一章 数制和码制 .....	5
3.2 第二章 逻辑代数基础 .....	6
3.3 第三章 门电路 .....	10
3.4 第四章 组合逻辑电路 .....	15
3.5 第五章 半导体存储电路 .....	19
3.6 第六章 时序逻辑电路 .....	22
3.7 第七章 脉冲波形的产生和整形电路 .....	24
3.8 第八章 数—模和模—数转换 .....	26
4 专题复习计划 .....	27
4.1 第一关 .....	27
4.2 第二关 .....	31
4.3 第三关 .....	40
4.4 第四关 .....	48
5 模拟试卷 .....	55
5.1 2020 秋数字逻辑电路 06 班 .....	55
5.2 2021 秋数字逻辑电路 04 班 .....	63
5.3 2022 秋数字逻辑电路 05 班 .....	88
5.4 2023 秋数字逻辑电路 03 班 .....	98
6 往年试卷解析 .....	99
7 答疑汇总 .....	100
7.1 电路图上的圆圈 .....	100
7.1.1 三种和反相器类似的图形符号分别表示什么含义 .....	100
7.1.2 中规模芯片图形符号中的圆圈表示什么含义 .....	100
7.1.3 触发器电路 CLK 的圆圈 .....	102

7.2 考试关于芯片需要掌握哪些 .....	102
7.3 555 的内部逻辑图会给吗 .....	102
7.4 分析 CMOS 电路的题目遇到了输出高阻态应该怎么写逻辑函数 .....	102
7.5 SR 触发器电路分析出“不定”状态波形图应该怎么画 .....	102
7.6 SR 锁存器的约束条件下的输出与“不定”状态的理解 .....	103
7.7 触发器从逻辑图上怎么识别是同步输入还是异步输入 .....	104
7.8 只有一个 $S_D$ 或者 $R_D$ .....	105
7.9 二极管电路应该如何分析 .....	106
7.10 译码器的功能扩展是否可以自己用门电路搭成译码器对每一片的 $S_1$ 进行筛选 .....	106
7.11 门电路/芯片的输出端在考试时候的处理 .....	106
7.12 画波形图的时候是否需要画时间线 .....	107
7.13 CLK 是输入信号吗 .....	107
7.14 电路图中交叉线彼此是否连接应该如何判断 .....	107
7.15 有的计数器电路里面进位输出看起来很奇怪 .....	107
7.16 时序逻辑电路设计中驱动方程的化简是否需要建模为多输出逻辑函数化简 .....	107
7.17 画状态转换图/表以及时序图的时候无效状态要不要画 .....	107
7.18 在最小项之和的标准型中一个最小项同时以无关项出现怎么办 .....	108
7.19 门电路如果输入悬空怎么办 .....	108
7.20 什么时候算得上最简 .....	108
8 考试温馨提示 .....	109
9 后记 .....	112

## 第二版前言

亲爱的读者：

你好！

如果你正在学习数字逻辑电路课程，或者正在准备数字逻辑电路课程的期末考试，那这本书可能会对你有所帮助。时至今日已经是作者第四年担任数字逻辑电路课程的助教，基于 2019 年秋季学期在胡老师班所学以及四年来担任助教期间在日常答疑、批改作业、讲授习题课、批改试卷等过程中获得的反馈和触发的思考，作者对《数字逻辑电路复习宝典》（后面简称“第一版”）的内容进行增补和修改，希望将更好的复习参考教材呈现给各位读者。

在第一版的基础上对各个章节的内容做适当的增补和修订，并注重融入了作者对于数字逻辑电路课程的思考和经验分享。希望能够帮助具有不同需求的读者在这门课程中获得更理想的收获。

由于作者的能力有限，在本书中也许仍然存在需要改正的地方，诚挚地欢迎各位读者的意见和建议。读者可以通过邮件：[wazs98@mail.ustc.edu.cn](mailto:wazs98@mail.ustc.edu.cn) 或者 QQ: 2209823112 向作者反馈。同时作者也欢迎读者一起交流对于数字逻辑电路课程的理解和思考，也期待对这门课程有浓厚兴趣和深入理解的学弟学妹们参与到数字逻辑电路课程的教学工作中。作者谨祝愿数字逻辑电路课程的教学工作越来越好！

祝好！

高源  
2023 年秋

# 第一版前言

亲爱的读者：

你好！

如果你正在学习数字逻辑电路课程，或者正在准备数字逻辑电路课程的期末考试，那这本书可能会对你有所帮助。作者基于三年担任数字逻辑电路课程助教期间答疑、批改作业、批改试卷等过程中收获的反馈，考虑到同学们考前复（预）习时候的需求，特别编著了这本《数字逻辑电路复习宝典》。

这本书包括考点总结、专题复习计划、模拟试卷、往年试卷讲解、答疑汇总和考试温馨提示。考点总结部分针对同学们在学习、复习以及考试中经常出现的问题进行总结，同时结合对课程的理解梳理了课程中的重要考点，并对难点进行讲解。如果读者处于复（预）习初期，可以对照着考点总结，筛选目前以及掌握的、还未熟练掌握的、不了解的，然后根据掌握程度安排复习计划。如果读者已经完成了复习，可以对照考点总结检查自己是否存在疏漏。专题复习计划是为 2022 年秋季学习数字逻辑电路 05 班同学寒假学习专门制作，读者可以按照自己规划好的节奏对照着专题复习计划中的题目完成复习，这里特别提示，专题复习计划中的题目是作者模拟出题人的视角充分归纳不同的考点对应的考察形式，其中包括作者在习题课上反复强调的易错点等，建议读者在使用的时候主要检查自己在面对每道题目的时候是否有处理思路。模拟试卷包括担任三个学期课程助教期间为每一届同学考前准备的模拟题目，建议需要做模拟考试练习的读者使用。往年试卷讲解是 2022 年秋季学期数字逻辑电路 05 班的习题课录像链接，以一份往年试卷的讲解为基础梳理考点。答疑汇总包括了作者担任数电课程助教期间对常见问题的直接整理，读者可以在复习过程中遇到问题在其中查找答案。考试温馨提示是作者基于学习和三年助教改卷经验提出的一些考试建议，希望能帮助读者减少失分。

本书包括不同形式的复习材料，供不同需求的读者使用。将这些材料整理成这本书，也是作为对作者三年课程助教经历的总结，同时为学习数字逻辑电路课程的同学提供可能的帮助。除此外，本书也可以作为将来担任数字逻辑电路课程的助教同学们准备习题课的参考。作者谨祝愿学习数字逻辑电路课程的同学都能有满意的收获，祝愿数字逻辑电路课程教学工作越来越好！

祝好！

高源

2023 年初

# 考点总结

## 3.1 第一章 数制和码制

1. 数制转换。例：将十进制数 20.22 转换为等值的十六进制数。
  - 十进制转换八进制、十六进制可以通过转换二进制过渡。
  - 十进制转换二进制：整数除 2 取余倒序，小数乘 2 取整正序。
  - 有效数字问题：如果题目没有要求，默认保留三位有效数字（如果“乘不尽”）。
2. 二进制运算。例：使用四位加法器实现三位二进制数乘 3 运算。
  - 二进制运算都通过转换为加法来实现。二进制减法——加上补码；二进制乘法——移位相加（原码）；二进制除法——移位相加（补码）。
  - 注意总结二进制算术运算的特点（输入输出位数，数值关系等），在组合逻辑电路功能分析问题中可能有应用。
3. 二进制补码运算。例：用二进制补码计算完成减法 21-5。
  - 首先根据运算的操作数和结果的绝对值最大值确定补码的位数（如果补码位数少了可能导致溢出，结果出错）。
  - 结果验证。补码可以看成一种加权码，和一般的二进制码区别在于最高位权值需要加上负号。例如，补码 1110 表示十进制数  $(-1) \times 2^3 + 1 \times 2^2 + 1 \times 2^1 = -2$ 。在考试的时候遇到涉及补码运算的题目可以用这种方式快速验证结果（传统方法是补码转换回原码再进行二进制到十进制的转换）。
4. 一般补码运算。例：用两片 74LS283 和必要的门电路实现一个带借位输入和借位输出的 8421BCD 码减法器，要求电路输出为原码。
  - 补码的概念。补码本身是基于模运算概念提出的，常见二进制补码是以 2 的幂指数作为模。遇到实际问题要考虑模具体是多少，比如研究 BCD 码的补码问题时，模应该为 10。

5. 十进制数和十进制代码的转换。例：将 4.3 转换为余三码。
  - 每一位都转换为对应的十进制代码即可。
6. 常用编码。例：时序逻辑电路设计题目，要求状态编码采用余三循环码。
  - 熟练掌握各种常用编码方案。
  - 常见编码和二进制编码的关系，例如格雷码和二进制编码互相转换。
  - 二进制码转换为格雷码方法：格雷码的最高位（最左边）与二进制码的最高位相同；从左到右，逐一将二进制码相邻的两位异或，作为格雷码的下一位。
  - 格雷码转换二进制码方法：二进制码的最高位（最左边）与格雷码的最高位相同；从左到右，逐一将产生的二进制码和下一位相邻的格雷码异或，作为二进制码的下一位。

## 3.2 第二章 逻辑代数基础

1. 基本逻辑运算符号表示。例：给出矩形轮廓符号构成的电路图，写出逻辑函数式。
  - 特定外形符号和矩形轮廓符号都要掌握。
2. 逻辑函数化简。例：请使用公式法将逻辑函数式化简为最简与或非式。
  - 逻辑函数化简题目一定要先检查是否指明方法。
  - 注意检查化简目标，不一定都是最简与或式。
3. 公式法化简。例：利用公式法将逻辑函数化简为最简与或式。
  - 公式法化简需要掌握“逻辑代数的基本公式和常用公式”和逻辑代数基本定理（特别是反演定理）。
  - 公式法化简之后建议用卡诺图法验证。
  - 如果没有思路的话，可以先用卡诺图法，从画圈的方式寻找启发，或者直接用并项法合并对应的最小项。
  - 在过程书写方面，不需要把每一步化简所要用到的“逻辑代数的基本公式和常用公式”写出来，但是要有必要的过程（至少得写两行过程，不然改卷人很难看出来你是咋做的对吧）。
4. 逻辑代数基本定理。例：写出  $Y = AB + (C + D)'$  的对偶式。

- 反演定理。逻辑式中“.”和“+”互换，“0”和“1”互换，原变量和反变量互换，需遵守“先括号、然后乘、最后加”的运算优先次序，同时注意不属于单个变量上的反号应保留不变。
  - 对偶定理。逻辑式中“.”和“+”互换，“0”和“1”互换。
5. 逻辑函数不同表示形式之间的转换。例：根据波形图画出逻辑电路图。
- 注意真值表的特殊地位。真值表是最直观的一种表达，是连接电子世界和语义世界的桥梁，无论是 CMOS 电路分析，还是组合逻辑电路分析与设计，真值表都是其中至关重要的组成部分。掌握了真值表的应用，对于学好这门课程有着重要意义。
6. 最小项之和与最大项之积标准形式。例：将与形式逻辑函数

$$Y = (A + B + C)(A' + B + C')(A + C' + D')(A' + D)(B + C + D')$$

化简为最简与或式。

- 最大项之积部分标星号，不属于考察内容，但是在处理或与形式的逻辑函数，可以用最大项之积和最小项之和的关系将其转换为熟悉的最小项之和形式。在使用最大项的时候，注意其编号和最小项编号的区别。
  - 最小项之和是逻辑函数的标准形式，任何逻辑函数都可以表示为最小项之和形式。因此，能够产生（一定变量数）所有最小项的译码器和数据选择器可以被用来设计任何组合逻辑电路。
  - 真值表、卡诺图这两种重要的工具，本质上就是最小项之和的“图形化表达”。
7. 卡诺图法化简。例：将逻辑函数

$$Y(A, B, C, D) = \sum m(2, 3, 4, 5, 6, 7, 12, 13) + d(10, 14, 15)$$

化简为最简的与非式。

- 卡诺图法化简本质上是利用“几何相邻”表征“逻辑相邻”。当变量数不超过 4 的时候“几何相邻”还比较直观，但随着变量数继续增加，“几何相邻”不再直观，即此时卡诺图法的优势不再明显，此时可以基于“翻折”想法来寻找“几何相邻”。想象一张  $n$  变量的卡诺图，以一条和空白空间的分界线作为对称轴进行对折，翻折前后的两部分分别对应新增变量取值 0 和 1，在这个过程中，翻折前部分的几何相邻保持，翻折产生的部分继承几何相邻，同时整体新增的几何相邻按照“翻折前后对应部分几何相邻”来确定。同时按



照这个思路来理解卡诺图，可以避免同学们在使用卡诺图时出现的一个问题——在画四变量逻辑函数卡诺图的时候，标注 00-01-10-11（实际应为 00-01-11-10，这个不难理解，翻折前是 0-1，然后翻折后在没有添加新变量取值前是 0-1-1-0，在原始部分填入 0，即 00-01，新增部分填入 1，即 11-10，所以为 00-01-11-10）。

- 卡诺图法化简易错点：“几何相邻”没有找全，例如四变量卡诺图的四个角。
- 有无关项的逻辑函数、多输出的逻辑函数，直接采用卡诺图法化简。
- 在卡诺图上圈 0 求反即可获得最简与或非式（圈 0 就是最简反函数）。
- 注意，卡诺图一定要画完整，无论是 0、1 还是  $\times$ ，都要画出来，逻辑变量要标注清楚。

8. 卡诺图运算。例：已知四变量函数  $Y_1$  和  $Y_2$ ，其中  $Y_1(A, B, C, D) = \sum m(2, 3, 4, 6, 8, 10, 12, 14)$ ， $Y_2(A, B, C, D) = \sum m(0, 1, 2, 5, 7, 8, 12, 14) + d(3, 9, 10)$ 。求复合函数  $Y_1 \oplus Y_2$  最小项之和的形式。

- 逻辑函数之间的运算可以用卡诺图之间的运算（最小项的运算）来表示。我们下面的推导就以异或运算为例，其他运算同理可得完全一致的结论。
- 记  $Y_1 = \sum_{i \in A} m_i + \sum_{j \in B} d_j$ ， $Y_2 = \sum_{k \in C} m_k + \sum_{l \in D} d_l$ 。则可得

$$\begin{aligned} Y &= Y_1 \oplus Y_2 = Y_1'Y_2 + Y_1Y_2' \\ &= \left( \sum_{i \in A} m_i + \sum_{j \in B} d_j \right)' \cdot \left( \sum_{k \in C} m_k + \sum_{l \in D} d_l \right) + \left( \sum_{i \in A} m_i + \sum_{j \in B} d_j \right) \cdot \left( \sum_{k \in C} m_k + \sum_{l \in D} d_l \right)' \\ &= \left( \sum_{i \in \tilde{A}} m_i + \sum_{j \in B} d_j \right) \cdot \left( \sum_{k \in C} m_k + \sum_{l \in D} d_l \right) + \left( \sum_{i \in A} m_i + \sum_{j \in B} d_j \right) \cdot \left( \sum_{k \in \tilde{C}} m_k + \sum_{l \in D} d_l \right) \end{aligned}$$

其中  $U$  为全集， $\tilde{A} = (U - A) \cap (U - B)$ ， $\tilde{C} = (U - C) \cap (U - D)$ 。由于  $A \cap B = \emptyset, C \cap D = \emptyset$ ，则有  $C = C \cap (U - D)$ ， $A = A \cap (U - B)$ 。考虑  $Y$  的最小项对应的指标集合为  $(\tilde{A} \cap C) \cup (\tilde{C} \cap A)$ ，可以写作

$$T = (U - (B \cup D)) \cap (((U - A) \cap C) \cup ((U - C) \cap A))$$

而不难发现无关项对应的集合可以写作  $B \cup D$ ，所以有

$$Y = \sum_{i \in T} m_i + \sum_{j \in B \cup D} d_j$$

则可知，逻辑函数之间的运算可以用卡诺图上的运算来表达。此外，也可以用我们推导得到的公式，直接对最小项做处理得到结果。这里说明，如果不考虑无关项的话，上述推导可以很大程度简化，详见教材配套解析。

#### 9. 多输出逻辑函数化简。例：对多输出逻辑函数

$$\begin{cases} Y_1(A, B, C, D) = \sum(3, 4, 5, 6, 7, 8, 9, 12, 13, 14, 15) \\ Y_2(A, B, C, D) = \sum(2, 3, 4, 6, 7, 12, 14) \\ Y_3(A, B, C, D) = \sum(2, 6, 8, 9) \end{cases}$$

整体进行化简。

- 在第一次习题课的时候分享了一种处理方法，在这里简要回顾。在分析解决方案之前，我们首先分析，这个问题的目标和难点在哪里。目标的话比较明确，合理利用公共项，使得逻辑函数整体最简。难点的话也比较明显，有了“合理”这种修饰，往往就是难点所在，就像我在学习做中餐的时候遇到菜谱上的“食盐适量，酱油和陈醋少许”，内心 os 就是“适量是多少？啥叫少许？”
- 首先，我们分析得到，难度在于怎么确定公共项的使用。而为了确定性地解决这一问题，我们的思路是，通过一些明确的画圈方式逐步减小不确定性。为此，我们对卡诺图中的最小项进行分类。以上面的例题为例，我们对这个三变量逻辑函数中的最小项分为三类，分别是：只在一张卡诺图中出现的最小项，在两张卡诺图中出现的最小项和在三张卡诺图中都出现的最小项。对于只在一张卡诺图中出现的最小项，显然没有利用公共项的这一选择，因此可以明确地直接在一张卡诺图中按照我们熟悉的方式进行画圈。解决完这一类后，继续处理第二类。在处理这一类的时候，首先分别在两张图中单独对这一类最小项（没有被第一类的卡诺圈包含的）进行画圈，并取二者中被对方包含的那一个卡诺圈（如果一张图中这一类最小项已经被上一类画圈时圈掉了，此时对这个最小项来说就默认他的圈是最大的）。完成了这一类后继续处理第三类最小项，类似地，对于此时卡诺图中仍然没有被处理的最小项，分别在三张图中独立化简，再根据卡诺圈的关系进行确定，直到所有最小项都被处理。

#### 10. 无关项。例：无关项的分类。

- 注意约束项和任意项的区别。
- 组合逻辑电路中的“伪码”和时序逻辑电路设计中“任意次态”在逻辑函数表达中都作为无关项处理。

- 一种可能的考题方式：带约束项的逻辑函数等式证明。首先考察了逻辑函数等式证明，常用方法包括列真值表、单向化简和双向奔赴。其中双向奔赴指的是，等式两边的逻辑函数同时进行变形（常见的是化简）到一个相同的式子。这样来考虑这个问题就可以从“带约束的逻辑函数化简”问题来建模，进而利用卡诺图法解决。

11. 逻辑函数式不同表示形式之间的转换。例：用与非门实现某组合逻辑电路。

- 示例

$$\begin{aligned}
 Y &= AC + BC' \\
 &= ((AC)'(BC')')' \\
 &= (A'C + B'C')' \\
 &= (A + C')(B + C) \\
 &= ((A + C')' + (B + C)')'
 \end{aligned}$$

- 主要基于反演定理，用到的技巧是  $Y = (Y)'$ 。

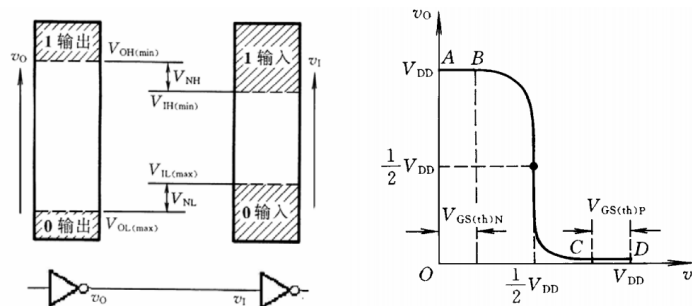
### 3.3 第三章 门电路

1. 正负逻辑。例：请问正逻辑的与或非门对应负逻辑的哪种逻辑门。

- 门电路的本质描述是高低电平表，而非真值表。
- 可以利用反演定理和对偶定理作一般推导。记  $Y = F(A, B, C, \dots)$  为正逻辑下的任意逻辑函数，则负逻辑下对应的逻辑函数应该满足  $Z' = F(A', B', C', \dots)$ 。由反演定理可知  $Z = \tilde{F}(A, B, C, \dots)$ ，其中  $\tilde{F}$  为“与换成或，或换成与，0 换成 1，1 换成 0”，则由对偶定理可知， $Z = Y^D$ 。

2. 门电路输入端噪声容限。例：门电路输入端噪声容限的概念是。

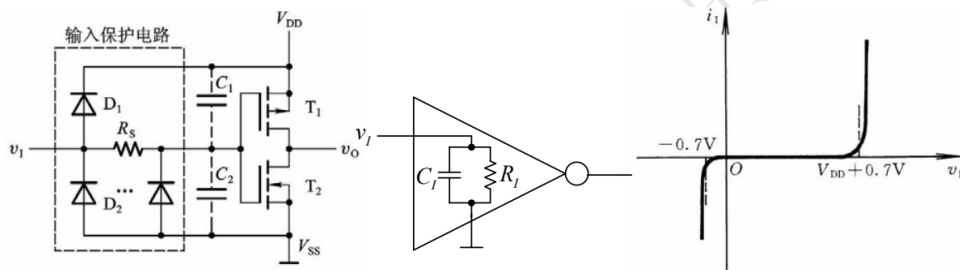
- 在输出高、低电平变化允许范围内，允许输入高、低电平的波动范围称为输入端噪声容限。



$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

- 理解噪声容限。从通信角度理解，前一级的输出是后一级的输入，从模拟量看二者相等，对于数字电路里的通信来说，要求数字量二者相等，即前一级输出了 1 后一级的输入也要求是 1，因此后一级的输入要求在输入高电平范围内。如果噪声使得后一级的输入从数字量上讲和前一级不同，则电路工作出错，因此对于噪声的取值范围有要求。
  - 可以通过提高  $V_{DD}$  来提高噪声容限。
3. 输入保护电路。例：在分析脉冲波形产生和整形电路时常常会遇到电压突变，注意有时候会受到 CMOS 输入保护电路二极管钳位的影响。



- 当  $0 \leq v_I \leq V_{DD}$ ，输入端保护电路不起作用。
  - 当  $v_I > V_{DD} + V_{DF}$  时， $D_1$  导通；当  $v_I < -V_{DF}$  时， $D_2$  导通。
4. 门电路功耗计算。例：计算 CMOS 反向器的总功耗。已知电源电压  $V_{DD} = 5\text{V}$ ，静态电源电流  $I_{DD} = 1\mu\text{A}$ ，负载电容  $C_L = 100\text{pF}$ ，功耗电容  $C_{PD} = 20\text{pF}$ 。输入信号重复频率  $f = 100\text{kHz}$ 。

- 负载电容充放电功耗。

$$P_C = C_L f V_{DD}^2$$

- 瞬时导通功耗。

$$P_T = C_{PD} f V_{DD}^2$$

- 总的动态功耗

$$P_D = P_T + P_C = (C_L + C_{PD}) f V_{DD}^2$$

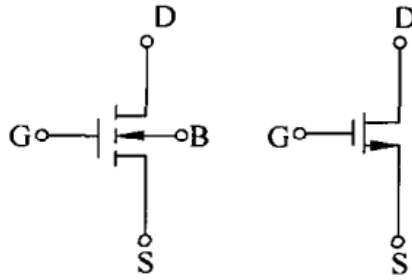
- 静态功耗可以忽略。

5. 扇出系数。例：扇出系数的定义是。

- 定义：门电路能够驱动同类门的最大数目。
- 特点：随着开关频率的升高，扇出系数将随之下降。
- 作者在研究自动驾驶中的 SLAM 技术的时候，遇到了一个传感器时间同步的问题，具体地在实际应用场景中需要让不同的传感器（包括相机、激光雷达、IMU 等）的时钟对齐，否则会导致系统估计出现较大的偏差。现有的时间同步技术往往利用卫星的原子钟作为系统的时钟源，使用纳秒级别的 PPS 信号将内部以晶振为时钟源的系统时间里的毫秒及以下时间清零，并由此开始计算毫秒时间，然后利用 GPRMC 数据后，提取报文里的时、分、秒、年、月、日 UTC 时间，进而可以完成一次同步。我们的第一反应是，有这种精准的方式，那么所有需要同步的信号直接采用这样的方式就可以了，但是在实际应用中只有少数时钟是采用这种方式同步的，那究竟是什么原因呢？和“扇出系数”的含义是类似的，原因是 PPS 输出信号电流有限，带负载能力有限，因此只能驱动一定数量的待同步设备。顺便提一句，个人觉得可以以这种实际应用的例子作为题目来考察对概念的理解，比如“这个例子中提到的问题和数电中的哪一个概念是类似的”。

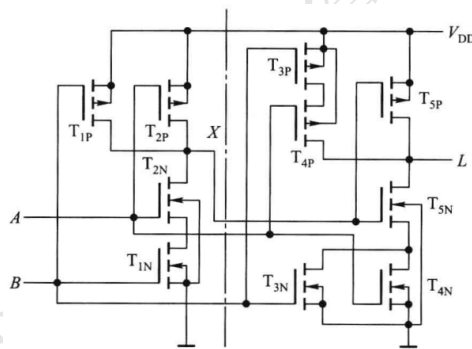
6. CMOS 门电路分析。例：请写出图中 CMOS 门电路的输出逻辑表达式。

- 模块化方法。分析速度较快，技巧性强，需要读者能够熟练掌握常见基本门电路的结构，缺点是适用范围有限。这里介绍一种经验性的方法。**CMOS 电路横向分级，纵向互补**。模块化的方法是利用其横向分级的特点，而单独分析一个基本模块（门电路）则可以利用纵向互补的特点。对于一个单独的模块，可以看成由互补的两个部分组成，分别称之为“上拉部分”和“下拉部分”，当“下拉部分”确定的时候，“上拉部分”唯一确定（互补结构），反之亦然。**因此，只需要分析一部分即可**。以“下拉部分”为例，两个管子串联实现了与运算，两个管子并联实现了或运算，两个管子并联再与另外一个管子串联实现与或运算，最后输出级要加上一个取反操作。
- 真值表法。真值表法：**可以用来解决所有的 CMOS 门电路分析问题**，技巧性不高，需要掌握一些 MOS 管基本知识即可，**但是当输入数量多的时候分析速度较慢**。真值表法的**具体操作**是，对于给定电路的每一种输入组合，讨论电路中各个管子（相关的管子）的通断，进而确定重要节点的电平（所谓“重要”指的是可以影响最终输出级管子的输入电平，因此分析的时候可以考虑在分析方向上“输入后向和输出前向的双向奔赴”），最后确定输出的电平，进而可以列出真值表，进而得到逻辑函数。这里需要掌握的**基础知识**包括：根据符号确定管子类型；给定管子类型确定通断的方法。**确定管子类型的方法**：这门课程中出现的管子都是增强型 MOS 管 (MOSFET)，只需要确定沟道类型。在半导体电路中，箭头指向永远是从  $P$  指向  $N$ ，由此可以判断出沟道/源级的类型，进而确定管子的类型。



以左图为例，箭头由衬底  $B$  发出，因此衬底为  $P$ ，所以为  $N$  沟道 MOS 管；对于右图，箭头指向源级  $S$ ，因此源级为  $N$ ，所以为  $N$  沟道 MOS 管。**确定管子通断的方法：**在确定了管子类型以后，只要根据栅级  $G$  的电位和源级  $S$  的电位关系即可判断管子通断。对于  $N$  型管， $V_G$  超过  $V_S$  一个阈值即导通（我们只需要分析大小关系，阈值是满足的）。另外提醒注意的一个点是，在图中不会标注  $G$  和  $S$ ，要如何解决呢？实际上， $G$  很容易判断， $S$  根据箭头所在位置即可和  $D$  区分开。

- 模块化方法例题。CMOS 电路如图所示，试写出其输出逻辑函数式。



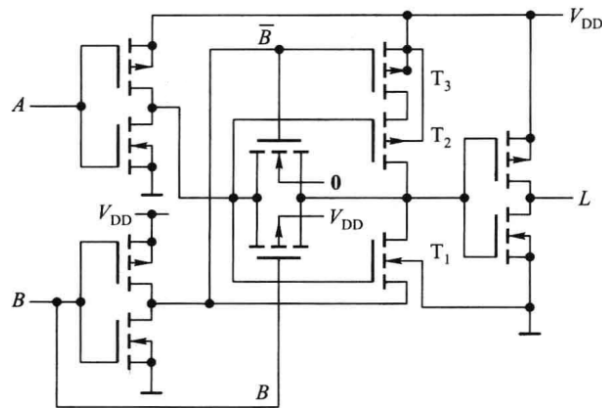
解析：

这类问题有两种求解方法。一种是把电路分解，划分成简单电路的级联直接根据下拉管/上拉管表达的逻辑关系写出逻辑函数式；另一种是直接列写真值表。这里介绍级联分析方法，列写真值表的方法在模拟试卷解析中已经有说明。

该电路由两部分组成，虚线左边为一级与非门，虚线右边组成与或非门，其中  $T_{3N}$  和  $T_{4N}$  并联实现或功能，两者再与  $T_{5N}$  串联实现与功能。与非门的输出  $X = (AB)'$ 。与或非门的输出  $L$  为

$$L = ((A + B) X)' = ((A + B) (AB)')' = AB + A'B' = A \odot B$$

- 真值表法例题。CMOS 电路如图所示，试写出其输出逻辑函数式。



解析：

这类问题有两种求解方法。一种是把电路分解，划分成简单电路的级联直接根据下拉管/上拉管表达的逻辑关系写出逻辑函数式；另一种是直接列写真值表。这里由于电路结构较为复杂，分级较为困难，所以采用列写真值表的方法。

传输门由  $B$  和  $B'$  控制，当  $B = 0$  时传输门导通， $B = 1$  时传输门截止。 $T_1, T_2$  和  $T_3$  构成的电路的工作状态由  $B'$  控制，当  $B' = 1$  时  $T_1, T_3$  均截止， $T_1, T_2$  和  $T_3$  构成的电路不工作；当  $B' = 0$  时  $T_1, T_3$  均导通， $T_1, T_2$  和  $T_3$  构成的电路工作，并且起反相器作用，其输出等于  $A$ 。

综上所述，当  $B = 0$  时， $T_1, T_2$  和  $T_3$  构成的反相器不工作，传输门导通，输出  $L = A$ ；当  $B = 1$  时， $T_1, T_2$  和  $T_3$  构成的反相器工作，传输门截止，输出为  $L = A'$ 。列出真值表

$A$	$B$	$L$
0	0	0
0	1	1
1	0	1
1	1	0

可得逻辑函数式  $L = A'B + AB' = A \oplus B$ ，所以电路为异或门电路。

#### 7. OD 门上拉电阻取值范围分析。例：教材习题 3.10。

- OD 门输出为高电平时

$$R_{L(\max)} = \frac{V_{DD} - V_{OH}}{nI_{OH(\max)} + mI_{IH(\max)}}$$

- OD 门输出为低电平时

$$R_{L(\min)} = \frac{V_{DD} - V_{OL}}{I_{OL(\max)} - m'|I_{IL(\max)}|}$$

8. 三态门、传输门。例：三态门能够输出的三种状态是。

- 逻辑电路分析题目，如果遇到三态门、传输门，一定要注意，输出可能包含高阻态  $Z$ 。
- 三态门的结构不是固定的，控制端可能高电平有效/低电平有效，输出可能有/无反相器，在分析具体题目的时候一定要根据题目所给电路图进行分析。

### 3.4 第四章 组合逻辑电路

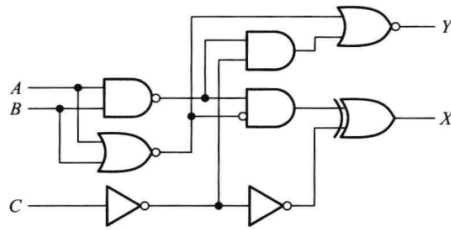
1. 组合逻辑电路分析。例：分析电路实现的功能。

- 流程：逻辑电路图  $\rightarrow$  逻辑函数式  $\rightarrow$  真值表  $\rightarrow$  自然语言描述。
- 功能分析：一般为算术功能。可以概括为四类：二进制算术运算，任意进制补码运算，代码转换和其他（分析输出变量取 1 对应输入的模式，用自然语言描述）。

2. 组合逻辑电路功能分析。解题的时候可以根据真值表的特点对其功能进行一个 4 分类任务。具体地，

- 代码转换往往是常见十进制代码，输入和输出个数相同，都是 4 个，并且不存在不同输入对应相同输出，根据这一特点可以判断是否属于代码转换。
- 补码运算的输入输出个数相同，并且输入和输出按照二进制解析，求和为定值，按照这一规律可以判断是否属于补码运算。
- 二进制算术运算的输入输出个数上面没有固定规律，所以我们分别对加减乘除进行分析。例如，对于加法运算，为了简单只讨论 1 位操作数。这种情况下，输入至少包含 2 位分别对应 2 个加数，输出至少包含 1 位对应当前位求和结果，除此以外，对于半加器来说输出多了一位进位输出，进一步对于全加器来说输入多了一位进位输入。也就是说，对于加法运算来说，常见的输入输出数量组合是 2/1, 2/2 和 3/2。其他几种运算同理分析。
- 如果不属于上述三类，则可以归纳为第四类——“其他”。对于这种类型，一般来说输出往往只有一个（如果不是的话，那就独立地讨论每一个输出变量），我们处理方式观察真值表输出的特点，用自然语言来描述，可以写，在哪些输入组合下输出高（低）电平，比如“当输入中 1 的个数为偶数的时候输出  $Y$  为高电平”。
- 例题。组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。





解析：

分析组合逻辑电路的功能问题，往往需要在得到逻辑函数式的基础上列写真值表。这类问题往往是考试中难度较大的题目，但实际上可以发现，答案常常为算术运算功能，这个经验也供读者参考。

首先写出逻辑函数式

$$X = ABC + A'B'C + A'BC' + AB'C'$$

$$Y = AB + AC + BC$$

列出真值表

A	B	C	X	Y
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

观察真值表。首先输入输出变量个数不是 4 个，排除代码转换；输入输出个数不相等，排除补码运算。这时候检查是否是常见的二进制算术运算，根据输入为 3 个，首先检查加法器。最终发现，该电路实现全加器的功能，其中 A、B 分别为加数与被加数，C 为来自低位的进位，X 为本位的和，Y 为向高位的进位。

3. 组合逻辑电路设计。例：设计二进制除法电路。

- 流程：自然语言描述 → 真值表 → 逻辑函数式 → 逻辑电路图。
- 逻辑抽象：确定逻辑变量数及其含义。如果题目中没有给出，在答题的时候一定要写清楚。

- 基于中规模器件的设计：一般情况下会考察基于译码器或数据选择器的设计，实际上就是利用了二者可以产生一定数量的逻辑变量的所有最小项这一性质。部分题目会考察基于加法器的设计，需要将逻辑函数表示为逻辑变量和逻辑变量或者常数之间的算术运算。
- 注意译码器和数据选择器在设计任意组合逻辑函数时候的区别和联系。二者之所以可以被用来产生一定变量数的任意逻辑函数，是因为其输出空间恰好包含了满足一定变量数的逻辑变量的所有最小项。二者的区别在于，译码器可以实现多输出，而数据选择器只能实现单输出，因此如果要用数据选择器实现多个逻辑函数时，首先要想到，一定是需要用多个芯片来实现，不要再对着一片芯片发呆。同时，注意二者生成逻辑函数的变量数如果超过所提供芯片的能力，则需要做功能扩展。
- 基于中规模器件的设计，在画图的时候，一定要注意，除了数据端外，其他各个端子都要检查，输入是否都处理好（对于 HC 系列芯片输入不得悬空否则可能发生芯片烧毁，对于 LS 系列芯片输入悬空相当于高电平输入，但是不建议养成这种习惯，避免在考试时候出错），输出是否标注清楚。

#### 4. 功能扩展。例：用两片三线-八线译码器实现某四变量逻辑函数。

- 流程：输入分配；片间关系确定；输出获取。
- 在实际考试的时候，有可能显式地要求实现某一款常见芯片的功能扩展，也有可能隐式地考察，比如要求用 3 位地址输入的数据选择器实现 5 变量逻辑函数，此时一片芯片无法实现因此需要功能扩展。
- 这个问题为什么是困难的？从某个角度看，芯片设计过程中考虑到了功能扩展问题，并且按照一种可行的功能扩展方式来设计了扩展输入输出端，不同的芯片在扩展输入输出的设计上有所不同，这也给寻找不同芯片的功能扩展背后的一致方法带来了困难。同时，由于考试实际会考察的功能扩展主要是针对课堂上讲过的常见芯片，因此从应试角度来说，记住每一种芯片的功能扩展即可应对这一类问题。同时，针对上面提到的隐式考察问题，能够用来设计一定变量数的任意逻辑函数的芯片只有数据选择器和译码器，因此建议读者掌握（不管以哪种方式，理解还是记忆）这两种芯片的功能扩展方式。下面，作者将分别分析常见芯片的功能扩展，为读者理解提供一些辅助。
- 8 线-3 线优先编码器。我们的目标是对 16 个输入信号做编码，这 16 个信号内部存在着优先级的关系，所以我们要做的就是合理地把这 16 个输入和 2 片 8 线-3 线优先编码器的 16 个输入之间构建对应关系。我们不难发现，这 16 个输入分成两组后，每组内部的优先级关系可以由 8 线-3 线优先编码器保证，而两组之间也存在着整体的优先级关系，这样输入的分组就应该是按照优先级顺序，较高的 8 个分为一组，其余分为一组，每组按照顺序接入 8 个

编码输入。两片之间的优先级关系应该如何保证呢？这时候我们要分析，“优先级”的物理意义是什么。事实上，优先级高的输入被编码的时候，优先级低的编码输入不会对输出产生影响，即可以理解为“不工作”，这样就可以利用扩展输出和选通输入配合，实现优先级高的一组对应的芯片工作时优先级低的一组对应的芯片不工作。至于输出，事实上，我们可以用一个一般的方式来建模。也就是说，当我们已经完成了输入分配后，该芯片的输出其实是确定的，那么为了得到我们想要的输出，事实上我们要做的事情就是，把芯片的输出看作输入，把我们目标输出作为输出，构建组合逻辑函数，问题就建模成了组合逻辑函数设计问题。这样，其实任何问题都可以解决。不过我们也会发现，有时候这个逻辑函数的输入太多，真值表过于庞大，所以习惯上我们的处理方案是，先确定部分输出，然后再分析剩余输出的时候缩小空间。例如这个问题，我们不难发现，无论是优先级高的一组还是低的一组，其编码后低 3 位都是一样的，也就是原始编码器的输出，所以我们可以直接利用与非门分别连接两个芯片对应输出即可获得第三位，而最高位可以看成剩下的  $Y'_{EX}$  和  $Y'_S$  的函数，进而构建一个小的真值表即可得到结果。

- 3 线-8 线译码器。事实上，其功能扩展有多种方案。目标是产生 4 变量  $D_3D_2D_1D_0$  的全部最小项，考虑到每片芯片可以产生其输入  $A_2A_1A_0$  的全部最小项，则可以确定两片的  $A_2A_1A_0$  应该接相同的输入，即  $D_3D_2D_1D_0$  中的三个变量，而另一个变量则作为片选输入，以其原变量和反变量的形式参与到两片的输出中。例如，令  $A_2A_1A_0 = D_3D_2D_1$ ，而  $D_0$  作为片选信号，则其中一片的输出对应编号为十进制奇数的最小项，另一片对应编号为十进制偶数的最小项。这里特别解释，如果两片的译码输入接的输入不同，例如第一片  $A_2A_1A_0 = D_2D_1D_0$ ，第二片  $A_2A_1A_0 = D_3D_2D_1$ ，则第一片输出应该为  $\sum m(0, 1, \dots, 7)$  或者  $\sum m(8, 9, \dots, 15)$ ，第二片输出应该为  $\sum m(0, 2, \dots, 14)$  或者  $\sum m(1, 3, \dots, 15)$ ，不难发现两片输出的最小项中存在重复，那么也意味着他们合在一起相较于 16 个最小项一定存在缺少的情況。所以，只有两片译码输入接入相同输入，另一个输入以原变量和反变量的形式（通过不同的选通输入端）参与到逻辑函数中来，才可以使得两片输出的最小项是互异的，这样也保证他们共同构成了完整的最小项空间。
- 数值比较器。这个芯片的功能扩展相对容易理解，就按照我们正常比较数字大小的习惯，把数字分成高位组低位组分别比较即可。
- 数据选择器。事实上，数据选择器的功能扩展和译码器的功能扩展是类似的，因为他们的目标都是生成“输入”的全部最小项，以双四选一功能扩展为例（作业题），我们根据上述译码器部分的分析可知，两片的地址输入必须相同，而剩下的两个输入通过译码生成其全部最小项，分别控制 4 个四选一的选通输入即可。

- 二-十进制译码器。教材提供的 74HC42 芯片未提供扩展输入输出，所以无法做功能扩展。
  - 全加器。这个芯片的功能扩展很简单，就把低位的进位输出和高位的进位输入连接即可。
  - 超前进位加法器。教材提供的 74HC283 芯片未提供扩展输入输出，所以无法做功能扩展。
  - 至此，作者把教材上常见芯片的功能扩展方法做了分析，读者可以基于此进行理解。如果觉得理解起来不是很方便，可以考虑直接记忆。
5. 组合逻辑型 PLA。例：写出 PLA 电路的输出逻辑函数。
- 与或逻辑阵列。
6. 竞争冒险现象。例：什么是组合逻辑电路中的竞争—冒险现象，有哪些方法可以消除。
- 竞争：门电路两个输入信号同时向相反的逻辑电平跳变的现象。
  - 竞争-冒险：因竞争而在电路输出端可能产生尖峰脉冲的现象。
  - 消除方法：接入滤波电容；引入选通脉冲；修改逻辑设计。

### 3.5 第五章 半导体存储电路

1. SR 锁存器、触发器的不定状态。例：绘制波形图。
- SR=11 时，状态是确定的（但不是正常工作状态 0 状态或 1 状态） $Q = Q' = 1$ （与非门构成的 SR 锁存器）或者  $Q = Q' = 0$ （或非门构成的 SR 锁存器）。
  - SR=11 后紧跟着 SR=00，此时状态“不定”，画图的时候直接写“不定”两个字即可。
  - SR=11 后跟着 SR=10 或 SR=01，状态仍然是确定的，分别是 1 状态和 0 状态。
  - 对于电平触发的 SR 触发器，如果有效电平期间 SR=11 后 CLK 有效电平消失，此时和上面所述“SR=11 后紧跟着 SR=00”是一类问题。另外，电平触发的 SR 触发器 SR 高电平有效，电路结构如教材所示（使用与非门构成的 SR 锁存器），在 SR=11 时  $Q = Q' = 1$ 。
2. 触发器的两个重要特性。例：按照触发方式分类有哪几种，其中哪种抗干扰能力最强。

- 逻辑功能和触发方式，二者独立。
  - 在实际解题的时候，一定要注意综合考虑两个重要特性，否则可能会遇到一些易错点，例如习题课上说过的一个时序逻辑电路设计问题。
3. 触发器电路分析。例：绘制波形图。
- 首先根据触发方式确定可能动作的时刻（用虚线标出，和 CLK 对齐）以及影响动作的输入作用的时刻或时间段；然后根据逻辑功能在上述时刻或时间段分析动作情况。
  - 注意异步 CLK 和异步置零/置位。
  - 脉冲触发的 JK 触发器一次翻转问题。
  - SR 触发器的“不定”问题。
  - 如果在答题纸上作答，要画出 CLK。
  - 用虚线对齐表示时序关系。
  - 建议铅笔、直尺作图。
  - 除了能够对着框图分析，还要能基于电路图识别触发方式。
4. 不同逻辑功能的触发器之间的转换。
- 应用场景可以建模为：我们已经有使用 T 触发器设计电路的完整流程，但是碰巧手里只有 JK 触发器，如果想利用已经完整的设计，应该怎么做。
  - 这个场景是作者假设的，为了方便读者理解什么是转换，为什么要转换。这里也顺便多说一句，无论是组合逻辑电路设计还是时序逻辑电路设计，一定要注意器件选型，解题的时候要严格按照题目要求来做。例如题目要求用译码器设计，切记不可直接用门电路，并且注意译码器一定是设计主体，只有必要的时候（比如译码器的输出需要用与非门组合得到最终的输出）。
  - 关于这一问题的解法，请查看“往年试卷解析”。在讲时序逻辑电路设计题目 T 触发器驱动方程设计时，作者介绍了一种方法，称为“驱动表法”，系作者在胡老师班学习时课堂所学。驱动表的输入为触发器状态变化，输出为触发器的输入值。其中蕴含了转化的思想，基于触发器的特性表进行反向推理（和贝叶斯思想有异曲同工之妙）。例如，我们分析 T 触发器的驱动表的时候，输入有 4 行，对应  $Q$  和  $Q^*$  的组合，输出为  $T$  的取值。根据 T 触发器的特性表可知，对于输入中  $Q$  和  $Q^*$  相同的两行来说表示没有状态改变，因此可以推理得到  $T = 0$ ；对于输入中  $Q$  和  $Q^*$  不同的两行来说表示状态发生改变，因此可以推理得到  $T = 1$ 。有了驱动表，可以将目标触发器的特性表和待转换触发器的驱动表结合起来（以  $Q$  和  $Q^*$  的组合作为桥梁），即可得到触发器之间的转换。

5. ROM 点阵图。例：如图是某 PROM 电路编程后的点阵图，请列出数据表。

- 数据表：形式和真值表类似，输入是地址，输出是存储的数据。
- 地址是与阵列，存储矩阵是或阵列。

6. 利用存储器实现组合逻辑函数。

- 从 ROM 的数据表可见：若以地址线为输入变量，则数据线即为一组关于地址变量的逻辑函数。
- 类似于第四章的基于中规模组合逻辑电路的设计，需要根据变量数考虑容量扩展问题。

7. 触发器动态特性参数。例：请简要介绍描述触发器动态特性的参数。

- 虽然并非这一章的重点，但从工程应用角度（而非理论分析角度）去了解触发器动态特性是有一定必要的。
- 这一问题出现在 2022-2023 的期末考试中，建议读者做适当的准备。（作者在 2022-2023 期末考试前没有认识到这一知识点考的可能性，因此在第一版中没有将其作为考点收录，在此向因为使用第一版备考而导致考试在这道题上丢分的同学表示歉意）。
- 掌握建立时间、保持时间、传输延迟时间、最高时钟频率这四个动态特性参数的含义即可，作者认为不会出现动态特性参数具体分析题目（如教材上分析边沿触发 D 触发器的动态特性那样），如果读者对相关问题感兴趣可以看一下《数字电子技术基础（第五版）》（阎石老师编著）的习题 5.6。

8. 存储器。例：衡量存储器性能的两个最重要的指标是什么。

- 衡量存储器性能的两个最重要的指标是存储容量和存取速度。
- 存储器按照存、取功能分类：随机存储器 RAM 和只读存储器 ROM。

9. 存储器容量。例：256K×16 位的 RAM 芯片，其地址线有多少条，数据线有多少条。

- 容量计算。作业题目中有涉及。注意单位问题：位还是字节。
- 容量扩展。字扩展怎么实现，位扩展怎么实现。同时扩展，先位扩展再字扩展。

### 3.6 第六章 时序逻辑电路

1. 时序逻辑电路分类。例：请判断图示时序逻辑电路是米利型还是穆尔型。

- 米利 (Mealy) 型电路：输出信号不仅取决于存储电路的状态，还取决于输入变量。
- 穆尔 (Moore) 型电路：输出信号仅取决于存储电路的状态。

2. 时序逻辑电路分析。例：分析如图所示时序逻辑电路的功能。

- 流程：写出每个触发器的驱动方程；列出每个触发器的特性方程；根据驱动方程和特性方程得到状态方程；根据逻辑图写出输出方程；画出状态转换表、状态转换图。
- 功能分析：时序逻辑电路功能分析比较简单，有效循环有几个状态，答案就是几进制计数器。特别地，如果状态编码按照某特定规律变化，答案可以为加减法计数器、格雷码计数器等。
- 注意状态变量编号要和题目中保持一致。

3. 状态转换图。例：根据图示电路列出状态转换图。

- 画状态转换表/状态转换图的时候，所有状态都要出现。
- 注意在图中标注出逻辑变量，包括状态变量和输入输出，同时注意状态变量编号及其顺序。

4. 状态转换表。例：根据图示电路列出状态转换表。

- 两种形式。

$Q_3$	$Q_2$	$Q_1$	$Q_3^*$	$Q_2^*$	$Q_1^*$	$Y$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

或者

$CLK$	$Q_3$	$Q_2$	$Q_1$	$Y$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

5. 时序逻辑电路设计。例：设计串行数据检测电路。

- 流程：逻辑抽象；状态化简；状态分配；选定触发器类型，求出状态方程，驱动方程，输出方程；画出逻辑图；检查自启动。
- 逻辑抽象：确定输入、输出变量数和电路状态个数，定义输入输出变量和电路状态的含义，并给电路状态编号，进而画出状态转换图、列出状态转换表。
- 状态化简：两个状态在相同的输入下有相同的输出，并转换到同一个次态，则称为等价状态，可以合并。
- 状态分配：确定触发器数目，给每个状态指定一个代码（常见的，二进制码、格雷码等）。注意状态编码必须按照题目要求，不能习惯性地直接采用二进制编码。
- 器件选型：上述讨论的都是针对逻辑功能，在绘制电路图的时候需要表达出所选器件的触发方式，由于逻辑功能与触发方式独立，所以一般情况下触发方式可以任意选择。但是，如果题目中指出了触发方式，例如给出波形图，则必须按照题目要求进行器件选型（这一点是非常容易忽略的）。
- 求解驱动方程的时候，可以采用对照法或驱动表法（第二次习题课将以一道往年期末题来讨论这一点）。注意，在求解最简驱动方程的时候我们并不将其建模为多输出逻辑函数化简问题，因为现在大量使用 PLD 设计数字电路，在 PLD 中，驱动方程是用与或阵列实现的，受到 PLD 电路结构的限制，没办法利用公共项。
- 自启动设计。如果要求设计的电路自启动，有两种思路。一是，在确定状态转换图的时候，合理分配无效状态的次态，使得其最终都能进入有效循环；二是，设计的时候先不考虑，然后检查自启动，如果不能自启动再有针对性地



修改状态转换图。详见《数字逻辑电路学习指导》中介绍的移位寄存器自启动设计。

6. 计数器电路。例：分析图中计数器电路是多少进制。

- 每一片是多少进制直接分析有效循环中状态数即可。
- 片间是多少进制，和低位片的进制数一致。
- 整体是多少进制，和计数器系统组成方式有关。如果是串/并行进位，则整体进制数是每一片的进制数的乘积，如果是整体置零/置数，和分析一片的方法一样。

7. 时序逻辑电路中的竞争冒险现象。例：防止移位寄存器中错移的方法有哪些。

- 防止移位寄存器中错移的方法：接入反相器作延迟环节；接入延迟电容。

### 3.7 第七章 脉冲波形的产生和整形电路

1. 三种电路识图。例：请指出图中构成了哪种电路。

- 施密特触发电路：利用两个反向器实现（反向器 + 电阻）；利用 555 实现（有输入，三极管所在回路无电容）。
- 单稳态电路。微分型单稳态电路（输入有阻容元件构成的微分电路）；集成单稳态电路 74121；利用 555 实现（有输入，三极管所在回路有电容）。
- 多谐振荡电路。非对称式多谐振荡电路（无输入）；利用 555 实现（无输入）。

2. 关键参数计算。例：计算图中电路的关键参数。

- 施密特触发电路： $V_{T+}$ ， $V_{T-}$  和回差电压  $\Delta V_T$ 。利用两个反向器实现：

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} \quad V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH} \quad \Delta V_T = V_{T+} - V_{T-} = 2 \frac{R_1}{R_2} V_{TH}$$

利用 555 实现，分析两个集成运放的正反向输入端电压（电阻分压计算）。

- 单稳态电路：脉冲宽度  $t_w$ ，恢复时间  $t_{re}$ 。微分型单稳态电路：

$$t_w = RC \ln \frac{v_C(\infty) - v_C(0)}{v_C(\infty) - V_{TH}} = RC \ln \frac{V_{DD} - 0}{V_{DD} - V_{TH}} = RC \ln 2 = 0.69RC$$

$$t_{re} = (3 \sim 5) (R // r_{D1} + R_{ON}) C \approx (3 \sim 5) R_{ON} C$$

集成单稳态电路 74121:

$$t_w \approx R_{\text{ext}} C_{\text{ext}} \ln 2 = 0.69 R_{\text{ext}} C_{\text{ext}}$$

利用 555 实现:

$$t_w = RC \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} = RC \ln 3$$

另外特别注意，分立元件构成的单稳态电路输入端具有微分结构，因此实际输入的脉冲会转化为其要求的“窄脉冲”。但是 555 实现的单稳态电路输入端并不包含微分结构，因此，输入一定要满足“窄脉冲”要求，即在输出恢复的时候输入脉冲必须已经释放，否则电路工作情况将发生改变，建议读者对照电路图自行分析。

- 多谐振荡电路：高低电平持续时间  $T_1$ ， $T_2$  和振荡周期  $T = T_1 + T_2$ 。非对称式多谐振荡电路：

$$T_1 = R_F C \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \quad T_2 = R_F C \ln \frac{V_{T+}}{V_{T-}}$$

利用 555 实现:

$$T_1 = (R_1 + R_2) C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} \quad T_2 = R_2 C \ln \frac{V_{T+}}{V_{T-}}$$

- 充放电过程分析。充放电等效电路绘制，时间常数计算。注意，如果发现题目提供了管子导通电阻的时候要小心，这时候如果导通电阻和外界电阻大小可比，则做充放电分析的时候不可忽略导通电阻，脉冲宽度计算公式中的  $R$  要包含导通电阻。

3. 石英晶体多谐振荡电路。例：石英晶体多谐振荡器的输出脉冲频率取决于。

- 石英晶体多谐振荡器的输出脉冲频率取决于石英晶体的固有谐振频率  $f_0$ 。
- 如果看到电路里出现石英晶体，就是告诉我们这里的 CLK 周期。

4. 电路特点与应用。例：施密特触发电路的应用有哪些。

- 施密特触发电路的两个重要特点是什么。低  $\rightarrow$  高的转换电平和高  $\rightarrow$  低的转换电平不同；状态转换时由于内部正反馈使得边沿很陡。
- 施密特触发电路的应用有哪些。波形变换、脉冲整形、脉冲鉴幅。
- 单稳态电路的工作特点有哪些。有稳态和暂稳态两个不同的工作状态；外界触发脉冲作用下能从稳态  $\rightarrow$  暂稳态维持一段自动返回稳态；暂稳态维持时间和电路本身参数有关，和触发脉冲的宽度和幅度无关。

- 单稳态电路的应用有哪些。定时、延时、噪声消除。

### 3.8 第八章 数一模和模一数转换

1. DAC 和 ADC 分析。例：给出完成一次模数转换需要多少时钟周期。

- D/A 转换器：权电阻网络 D/A 转换器，倒 T 形电阻网络 D/A 转换器，权电流型 D/A 转换器。
- A/D 转换器：并联比较型 A/D 转换器，逐次逼近型 A/D 转换器，双积分型 A/D 转换器，V-F 变换型 A/D 转换器。
- 掌握上述电路工作原理即可。注意分析的时候常用：工作在线性区的集成运放满足虚短虚断性质，基尔霍夫定律，叠加原理。

2. 衡量 DAC、ADC 最重要的性能指标。例：衡量该电路性能的最重要两个指标是什么。

- 转换精度、转换速度。

3. 误差分析。例：说明 DAC 输出出现某种误差的原因。

- 造成 D/A 转换器转换误差的原因主要有参考电压  $V_{REF}$  的波动、运算放大器的零点漂移、模拟开关的导通内阻和导通压降、电阻网络中电阻阻值的偏差以及三极管特性的不一致等。其中  $V_{REF}$  变化引起的误差和输入数字量大小成正比，也叫比例系数误差；运放零点漂移引起的误差和输入无关，输出特性曲线整体平移；其他几种都是非线性误差，和输入无关，且不是定值。
- 参考电压稳定度分析。根据题目中描述最大误差进行分析，注意一定是在模拟量端进行分析。例题详见 2023 秋第二次习题课课件。

4. 不同 DAC、ADC 比较。例：哪种 ADC 抗干扰能力最强。

- 权电阻：结构简单；阻值差异大，精度问题。
- 倒 T：阻值差异小；没有考虑模拟开关的电阻和导通压降。
- 权电流：解决上述问题。
- 并联比较：速度最快；但缺点是规模大。
- 逐次逼近：电路结构简单；速度稍慢（完成转换需要  $n + 2$  个周期）。
- 双积分：性能稳定，抗干扰能力强；速度最慢。

## 专题复习计划

### 4.1 第一关

1. 完成下列数制转换。

(1)  $25.562_O = ( )_H$ ;

(2)  $127.168_H = ( )_O$ ;

2. 完成下列数制转换，要求转换误差小于 1%。

(1)  $25.562_D = ( )_B$ ;

(2)  $127.168_D = ( )_O$ ;

(3)  $132.125_D = ( )_H$ ;

3. 请写出下列二进制数的原码、反码、补码。

(1)  $(+1110)_B$ ;

(2)  $(-10110)_B$ 。

4. 请写出下列有符号二进制补码表示的十进制数。

(1) 0010111

(2) 11101000

5. 请用二进制补码列式计算下列各式。

(1)  $-27-39$

(2)  $120-30$

6. 请完成下列代码转换。

(1) 将十进制数 254.25 转换为 8421 码；

(2) 将代码 10000100.10010001 分别作为自然二进制数和 8421 码时，写出相应的十进制数；

(3) 将二进制码 10010110011011000 转换为格雷码；

(4) 将格雷码 1101100011101110011101010010 转换为二进制码。

7. 试用三种方法证明逻辑等式  $A \cdot B + A' \cdot C + B \cdot C = A \cdot B + A' \cdot C$ 。

8. 请使用公式法化简逻辑函数  $Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$ 。

9. 请将逻辑函数  $Y = CD'(A \oplus B) + A'BC' + A'C'D$  化简为最简与或非式，其中约束条件为  $AB + CD = 0$ 。

## 10. 化简一组多输出逻辑函数

$$Y_1(A, B, C, D) = \sum m(0, 1, 4, 5, 6, 9, 11, 13, 14)$$

$$Y_2(A, B, C, D) = \sum m(3, 4, 5, 8, 9, 13, 15)$$

$$Y_3(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 5, 6, 7, 10, 12, 15)$$

## 11. 请完成逻辑函数式形式转换。

(1) 写出  $Y = A(BC)' + ((AB)' + A'B' + BC)'$  的最简“或非-或非”式；

(2) 写出  $Y = (A + C)(A' + B + C')(A' + B' + C)$  的最简与非式；

(3) 写出  $Y = AB + BC + AC$  的最简或与式。

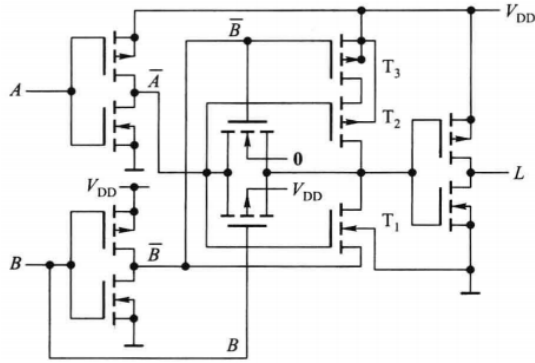
## 考点解析

1. 了解数制下标的含义。
2. 数制转换的有效位数问题，常见要求是指定有效位数或者如本题限制转换误差，如果没有要求的话保留三位有效数字。
3. 二进制原码、反码、补码，比较基础。
4. 二进制补码可以看成一种加权代码。
5. 二进制补码列式计算，注意两点，一个是补码位数的问题（避免发生溢出，导致结果错误），一个是最后要验证结果。
6. 代码之间的转换，往年考题考过十进制数转换 BCD 码，实际上就是每一位都转换为对应的 BCD 码。习题课中给大家讲过二进制码和格雷码的转换关系，建议掌握。
7. 证明逻辑等式的方法包括：公式法（利用逻辑代数基本公式，一边凑另一边，或者两边双向奔赴）；真值表法（给两边函数列写真值表）；卡诺图法（给两边函数画出卡诺图）；标准型法（讲两边都写成最小项之和的标准型）等。
8. 逻辑函数化简题目首先关注是否指明方法。公式法化简主要利用常见的逻辑代数公式和基本定理，注意化简后用卡诺图法在草稿纸上验证。
9. 有约束的逻辑函数化简用卡诺图法，注意化简要求，不一定为最简与或式。例如本题要求化简为最简的与或非式，可以圈 0 求反。
10. 多输出逻辑函数化简题目的求解方法见第一章“考点总结”。
11. 逻辑函数不同形式的转换主要利用了亮点，一个是  $Y = (Y')'$ ，一个是反演定理。

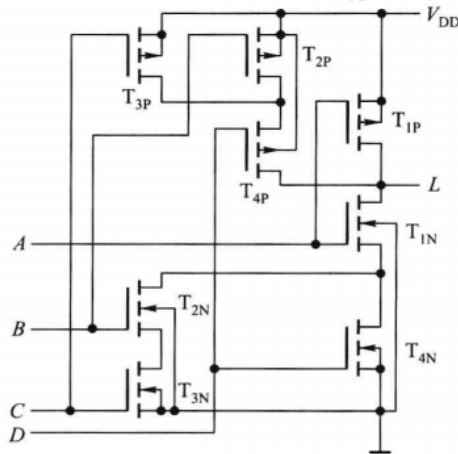
## 4.2 第二关

1. 试分析下列 CMOS 电路，写出其逻辑表达式。

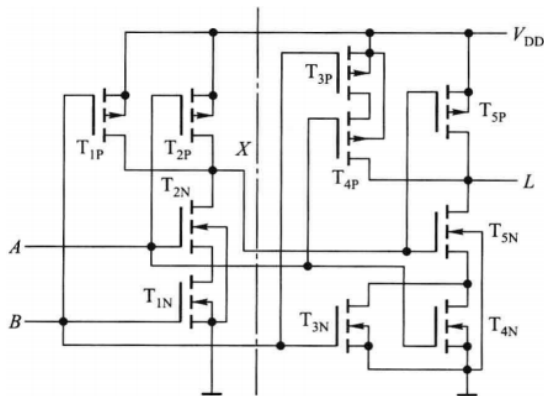
(1)  $L =$



(2)  $L =$

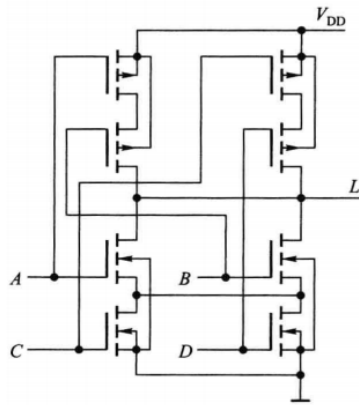


(3)  $L =$

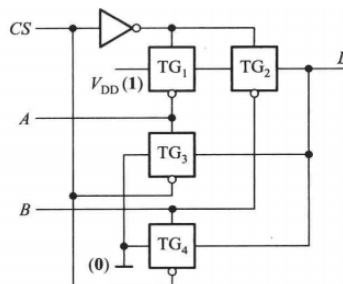




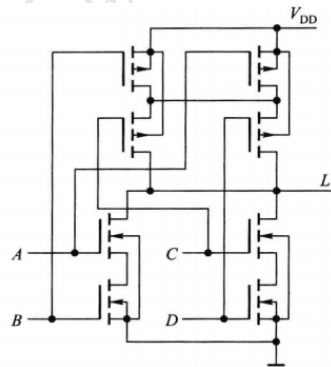
(4)  $L =$



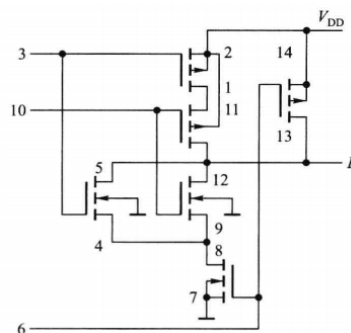
(5)  $L =$



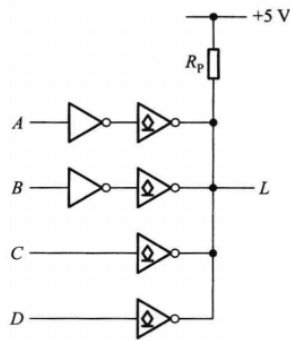
(6)  $L =$



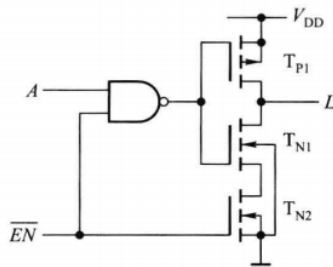
(7)  $L =$



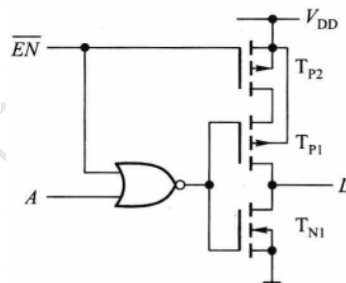
(8)  $L =$



(9)  $L =$

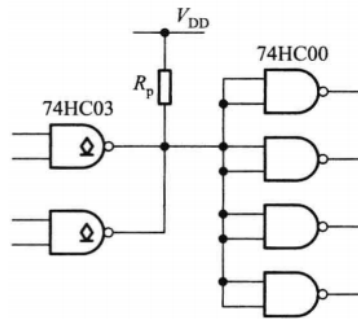


(10)  $L =$

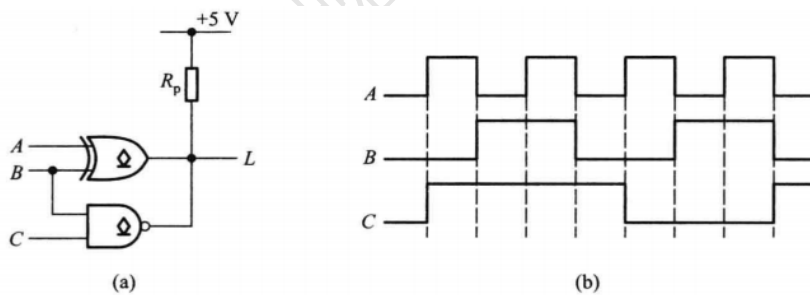


2. CMOS 反相器的负载电容  $C_L = 100\text{pF}$ , 功耗电容  $C_{PD} = 15\text{pF}$ , 电源电压  $V_{DD} = 3.3\text{V}$ , 输入矩形波的频率为  $1\text{MHz}$ , 试分别计算输入矩形波占空比为  $30\%$  和  $50\%$  时反相器的动态功耗。

3. 用 74HC03 中 2 个漏极开路与非门及 74HC00 中的 4 个与非门构成的电路如图所示。试确定上拉电阻  $R_p$  的取值范围。已知  $V_{DD} = 5\text{ V}$ ，OD 门输出低电平  $V_{OL(\max)} = 0.33\text{ V}$  时的输出电流  $I_{OL(\max)} = 4\text{ mA}$ ，输出高电平  $V_{OH(\min)} = 4.4\text{ V}$  时的漏电流  $I_{OZ} = 5\mu\text{A}$ 。负载门高电平和低电平输入电流最大值  $I_{IH(\max)} = I_{IL(\max)} = 1\mu\text{A}$ 。

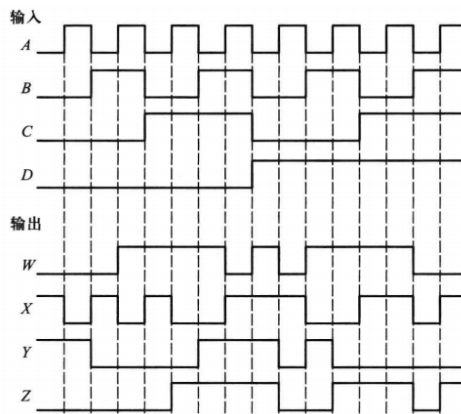


4. 由 OD 异或门和 OD 与非门构成的电路及输入电压波形如图所示。



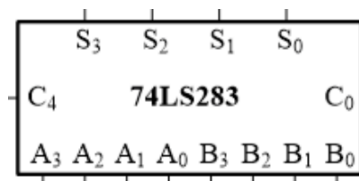
- (1) 试写出输出与输入的逻辑关系式，画出输出电压波形；
- (2) 已知输出低电平  $V_{OL(\max)} = 0.33\text{ V}$  时的最大输出电流  $I_{OL(\max)} = 4\text{ mA}$ ，输出高电平  $V_{OH(\min)} = 4.4\text{ V}$  时的漏电流  $I_{OZ} = 5\mu\text{A}$ ，计算  $R_{p(\min)}$  和  $R_{p(\max)}$ 。

5. 逻辑函数  $W$ 、 $X$ 、 $Y$ 、 $Z$  的输入输出波形如图所示。



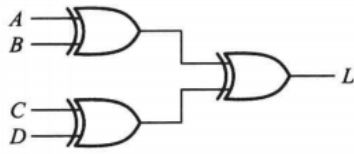
- (1) 写出  $W$  的最小项之和标准型；
- (2) 写出  $X$  的最简或与式；
- (3) 写出  $Y$  的最简与或非式；
- (4) 写出  $Z$  的最简或非式。

6. 用一片四位超前进位加法器 74LS283 和不超过 4 个逻辑门实现两个 4 位无符号数  $A$  和  $B$  的加法和减法运算。（功能表太长了这里省略了，简单描述就是， $A_3A_2A_1A_0$  和  $B_3B_2B_1B_0$  是两个输入二进制数， $CI$  是进位输入， $S_3S_2S_1S_0$  为加法运算的本位和， $CO$  为进位输出）



7. 试分析下列逻辑电路，写出其逻辑函数式，并分析其功能。

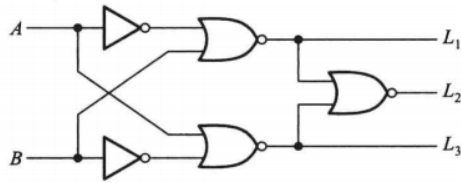
(1)  $L =$



(2)  $L_1 =$

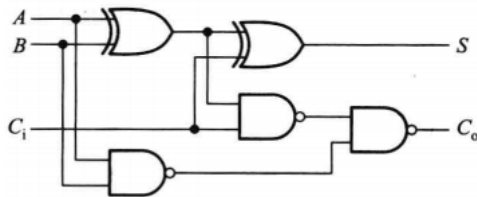
$L_2 =$

$L_3 =$



(3)  $S =$

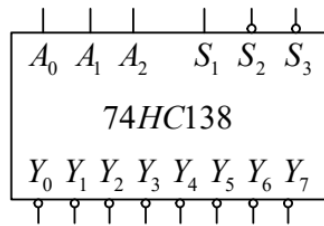
$C_o =$



8. 某顶级羽毛球赛事裁判人手短缺，其裁判阵容包括主裁判、发球裁判、底线裁判和边线裁判各一只，为了保证判决公平性，特别安排评委会对裁判的判决进行表决，由一只主席和三只助理组成。当满足以下条件时为同意，三人（或以上）同意或者两人同意同时其中一人为主席。正在排队抢羽毛球场地的你被告知为评委会设计表决电路可以快速获得上场机会，但是为你提供的门电路只有或非门，请利用你学习的数电知识为自己争取打球的机会吧！

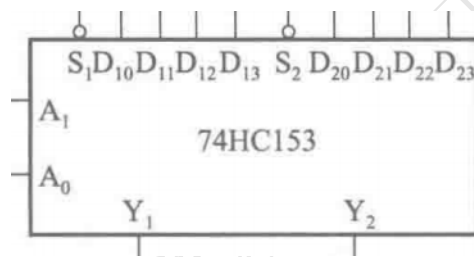
9. 试利用 3 线-8 线译码器 74HC138 设计具有拒绝伪码功能的 2421 码和余三循环码转换电路。其中输入控制信号  $P = 0$  时将 2421 码转换为余三循环码，输入控制信号  $P = 1$  时将余三循环码转换为 2421 码。功能表和框图如下。

$S_1$	$S'_2 + S'_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



10. 某火车站有特快、直快和慢车三种类型的客运列车进出，试用双四选一数据选择器设计一个指示列车等待进站的逻辑电路，3个指示灯一、二、三号分别对应特快、直快和慢车。列车的优先级别依次为特快、直快和慢车，要求当特快列车请求进站时，无论其他两种列车是否请求进站，一号灯亮。当特快没有请求，直快请求进站时，无论慢车是否请求，二号灯亮。当特快和直快均没有请求，而慢车有请求时，三号灯亮。四选一数据选择器的框图和功能表如下

$S'$	$A_1$	$A_0$	$Y$
1	×	×	0
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$



## 考点解析

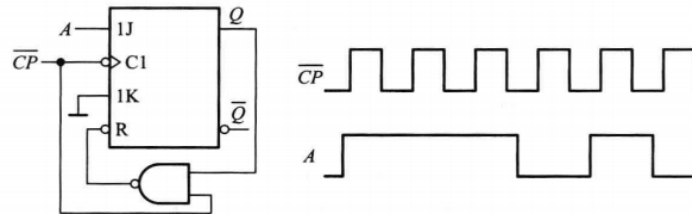
1. CMOS 电路识图这类题目我们在习题课上主要讲了两种方法，一个是模块化方法，一个是真值表法。详见第一章“考点总结”。
2. CMOS 电路计算主要考两类问题，功耗和 OD 门上拉电阻。直接记住公式即可。
3. 本题考察 OD 门上拉电阻计算，建议理解公式的推导过程和背后的原理，有助于记忆公式。
4. 除了考察 OD 门上拉电阻公式计算，还考察了逻辑函数的表示形式之一——波形图。
5. 综合考察逻辑函数形式转换（波形图  $\rightarrow$  卡诺图  $\rightarrow$  逻辑函数式）和逻辑函数式子不同形式的转换。
6. 考察基于加法器的组合逻辑电路设计，以及二进制的加减法运算。
7. 组合逻辑电路功能分析题目，我们在习题课上分享了一种思路，将其建模为四分类任务，详见第一章“考点总结”。
8. 喜欢打羽毛球的助教自己编写的题目，考察逻辑函数设计，其中需要注意的问题包括：逻辑抽象（如果忽略了逻辑抽象在考试时会丢分），设计要求使用或非门。
9. 使用译码器设计逻辑函数，需要注意：题目要求拒绝伪码，因此需要在伪码时做特别的设计，一种简单的思路是在伪码输入时输出全 1，或者设计一个变量用于指示伪码；常见代码需要掌握； $n$  位译码输入的译码器可以用于产生不超过  $n$  个变量的所有逻辑函数，本题要求设计 5 个变量的逻辑函数，因此需要多片译码器进行功能扩展。
10. 首先注意逻辑抽象； $n$  位地址输入的数据选择器可以用来生成 1 个不超过  $(n + 1)$  变量的任意逻辑函数，本题要求设计 3 个输出，因此需要 3 个数据选择器，同时注意输入变量为 3，因此需要 2 位地址输入的数据选择器，所以需要 2 片双四选一数据选择器完成本题设计。



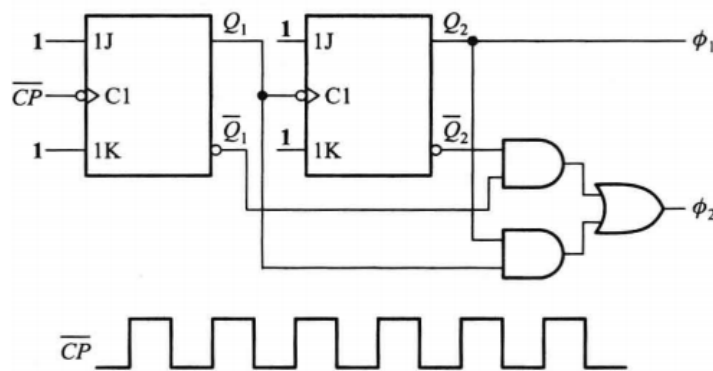
### 4.3 第三关

1. 触发器电路分析。（注意，本题中所有  $\bar{A}$  都表示  $A'$ 。）

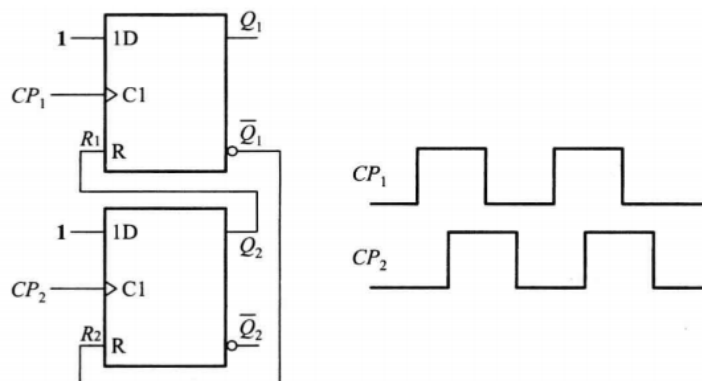
(1) 触发器电路如图所示，已知  $\overline{CP}$  和  $A$  的波形，画出触发器  $Q$  端的波形，设触发器的初始状态为 0。



(2) 触发器电路如图所示，已知  $\overline{CP}$  的波形，画出  $\phi_1$  和  $\phi_2$  端的波形，设触发器的初始状态为 0。

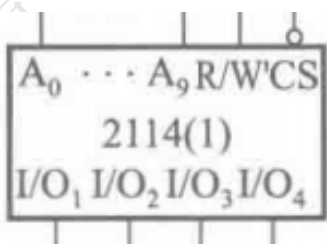
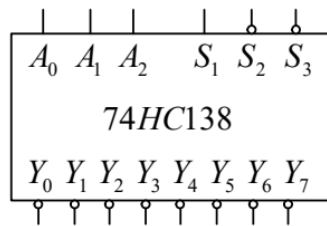


(3) 触发器电路如图所示，已知时钟信号的波形，画出两个触发器  $Q$  端的波形，设触发器的初始状态为 0。



2. 试用 16 片 2114(1024 × 4 位的 RAM) 和 3 线-8 线译码器 74HC138 接成一个 8 K × 8 位的 RAM。74HC138 的功能表和框图和 2114 的框图如下

$S_1$	$S'_2 + S'_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

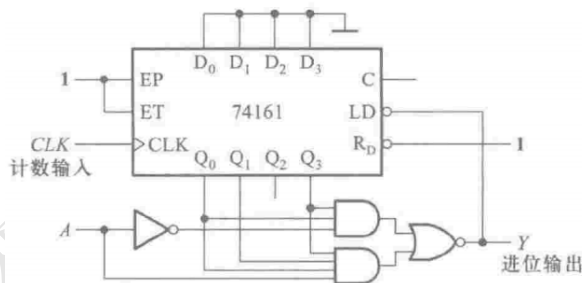


3. 用 ROM 设计一个组合逻辑电路, 用来产生下列一组逻辑函数。

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

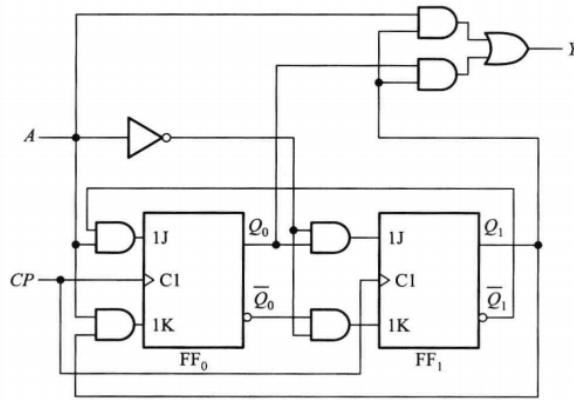
列出 ROM 应有的数据表, 画出存储矩阵的点阵图。

4. 试分析如图所示计数器电路在控制变量  $A$  为 0 和 1 时分别为几进制计数器, 画出状态转换图。74161 的功能表如下



$CLK$	$R_D'$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $C = 0$ )
↑	1	1	1	1	计数

5. 试分析如图所示时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，说明该电路是米利型电路还是穆尔型电路，列出状态转换表，画出状态转换图，判断电路能否自启动，说明该电路实现的功能。



我乘风策马 愿赴海角天涯

6. 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按下表规定的顺序转换状态。表中的 1 表示“亮”，0 表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

CLK	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

7. 试用负脉冲触发的 JK 触发器设计一个可以自启动的带进位输出的 2421 码计数器，要求用  $Q_3Q_2Q_1Q_0$  编码。
- (1) 列出状态转换表；
  - (2) 写出驱动方程、状态方程和输出方程；
  - (3) 画出完整的电路图。

8. 试用上升沿触发的 T 触发器设计一个可以自启动的可控进制计数器，其中控制变量  $A=0$  时实现九进制计数器（状态编码取格雷码从 0000 开始的连续 9 个代码），控制变量  $A=1$  时实现六进制计数器（状态编码取格雷码从 0000 开始的连续 6 个代码），要求用  $Q_3Q_2Q_1Q_0$  编码。
- (1) 列出状态转换表；
  - (2) 写出驱动方程、状态方程和输出方程；
  - (3) 画出完整的电路图。

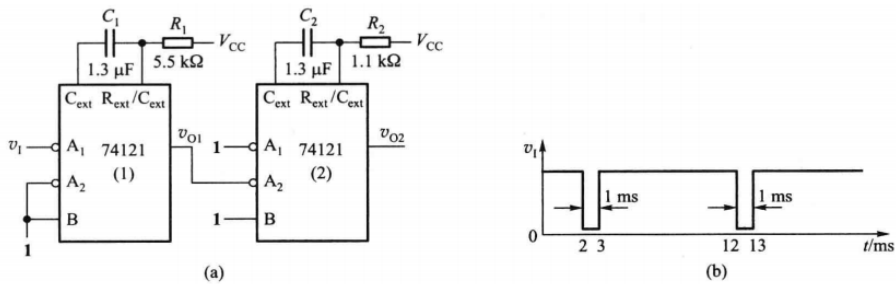
## 考点分析

1. 触发器电路分析是第五章必考题目，也是第五章主要的考点。这类题目在我们的教材课后习题都比较简单，和考试题目有一定差距，建议读者把往年试题的这类题型都做了自己感受一下。总的来说，这类题目的主要易错点在于异步 CLK、异步置 0/置 1、JK 触发器的“一次翻转”问题、SR 触发器的“不定”问题。这里选取的题目主要考察异步 CLK 和异步置 0。
2. 存储器的容量扩展问题，本题综合考察了字扩展和位扩展的方式以及先后顺序。
3. 存储器的另外一个考点，用存储器设计逻辑函数，注意数据表如何列写，以及存储器点阵图地址与门阵列、数据或门阵列。
4. 计数器电路分析，注意审题（74160 和 74161 的功能表一样但是功能不同），注意置 0 和置数是同步还是异步（要会看功能表）。
5. 时序逻辑电路分析，主要是要细致，注意题目要求，到底是列写状态转换表还是画状态转换图、题中状态变量是如何编码的。时序逻辑电路的功能分析相对组合逻辑电路要简单很多，就是查状态转换图有效循环中有多少个状态。
6. 本题是作业题，在检查作业时候发现同学们对于题目的要求可能并没有理解。首先读题确定是时序逻辑电路设计，观察状态转换表有 8 个状态，因此需要设计 8 进制计数器。如果题目没有要求尽可能采用中规模芯片，其实直接用 3 个触发器即可完成。但是本题要求尽量用中规模芯片，因此这里需要用任意进制计数器设计的知识，利用  $N(\geq 8)$  进制计数器得到我们要的 8 进制计数器。然后观察目标输出和一般计数器的输出存在差距（通过前一步获得的计数器状态编码应该至少是分段连续的），因此需要进行一步转换（实际上就是逻辑函数设计）。能用来设计逻辑函数的中规模芯片常见的是译码器和数据选择器，看到多输出第一反应应该是译码器（数据选择器只能设计单输出的），但是译码器的输出需要逻辑门配合，因此选用译码器。由于题目没有要求，看到待设计的是 3 变量的，因此就可以用 2 位地址输入的数据选择器 3 个，如果用常见的双四选一数据选择器，需要 2 个。至此，我们明确了应该如何设计，这时候不要忽略题目要求自启动，因此设计完成后要检查是否能自启动，如果不能，需要对前面的设计进行修改。
7. 首先注意状态编码，需要读者掌握常见的编码；题目指定了状态变量编码下标，就一定不要自己另选一个；注意自启动要求，先正常设计，然后检查，如果不能再修改；注意要求带进位输出；JK 触发器设计，建议用驱动表法；画图的时候要注意触发器触发方式。
8. 和上题类似，区别在于本题考察 T 触发器的设计，以及带控制变量的电路设计。



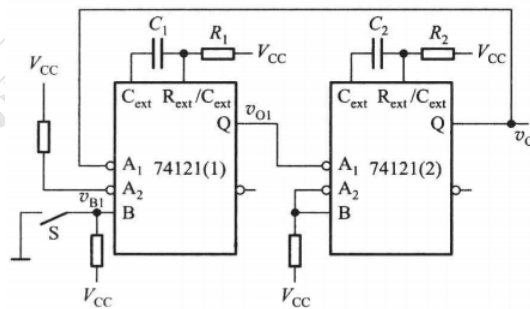
## 4.4 第四关

1. 由集成单稳态触发器 74121 所组成的电路和触发输入信号如图所示。

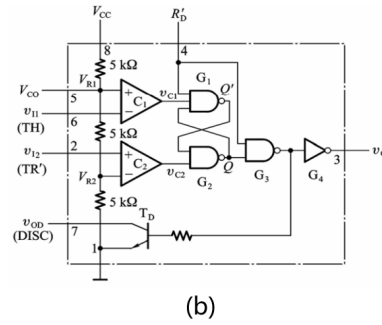
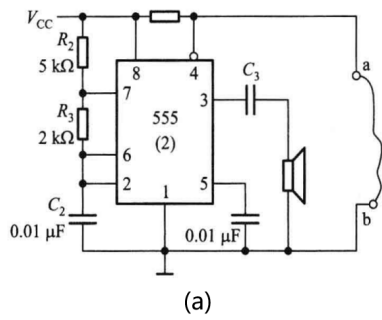


- (1) 计算在  $v_I$  作用下  $v_{O1}$ 、 $v_{O2}$  输出脉冲的宽度；
- (2) 画出对应  $v_I$  的输出  $v_{O1}$ 、 $v_{O2}$  的波形。

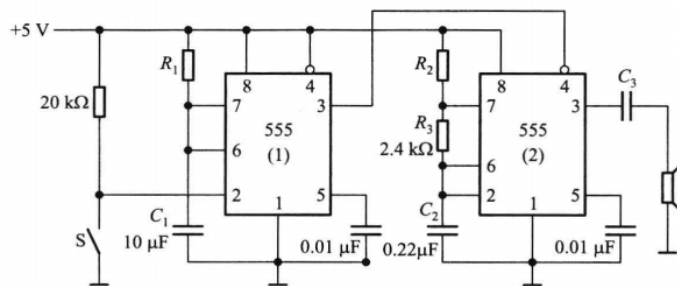
2. 利用两片集成单稳态触发器 74121 构成的多谐振荡电路如图所示，试说明其工作原理，并计算电路的关键参数。



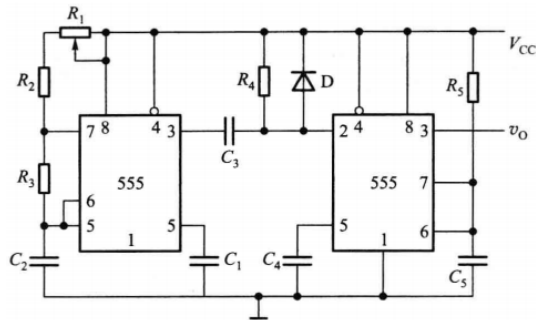
3. 一防盗报警电路如图所示， $a$ 、 $b$  两端被一细铜丝接通，此铜丝置于小偷必经之处。当小偷闯入室内将铜丝碰断后，扬声器即发出报警声。试分析 555 定时器接成何种电路，计算其关键参数，并说明报警电路工作原理。（注意，后续题目中的 555 芯片电路图和图 (b) 一致）



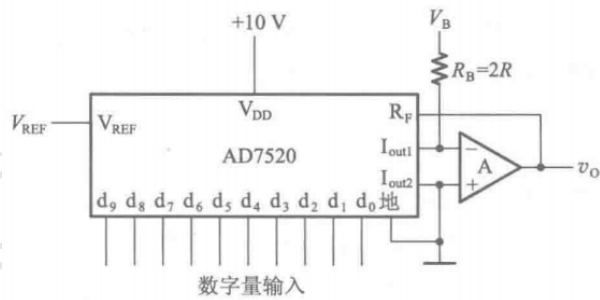
4. 分析如图所示电路。简述电路组成及工作原理。若要求扬声器在开关  $S$  按下后以  $1.2\text{kHz}$  的频率持续响 10 秒钟，试确定图中  $R_1$ 、 $R_2$  的阻值。



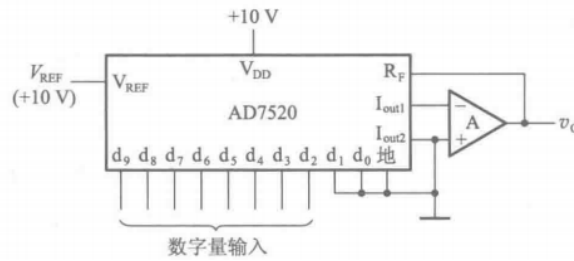
5. 分析如图所示电路。简述电路组成及工作原理，求解输出频率和脉冲宽度的变化范围，并解释二极管 D 的作用。



6. 如图所示电路是用 AD7520 组成的双极性输出 D/A 转换器。AD7520 倒 T 形电阻网络中的电阻  $R = 10\text{k}\Omega$ 。为了得到  $\pm 5\text{V}$  的最大输出模拟电压，在选定  $R_B = 20\text{k}\Omega$  的条件下,  $V_{\text{REF}}$ 、 $V_B$  应各取何值？



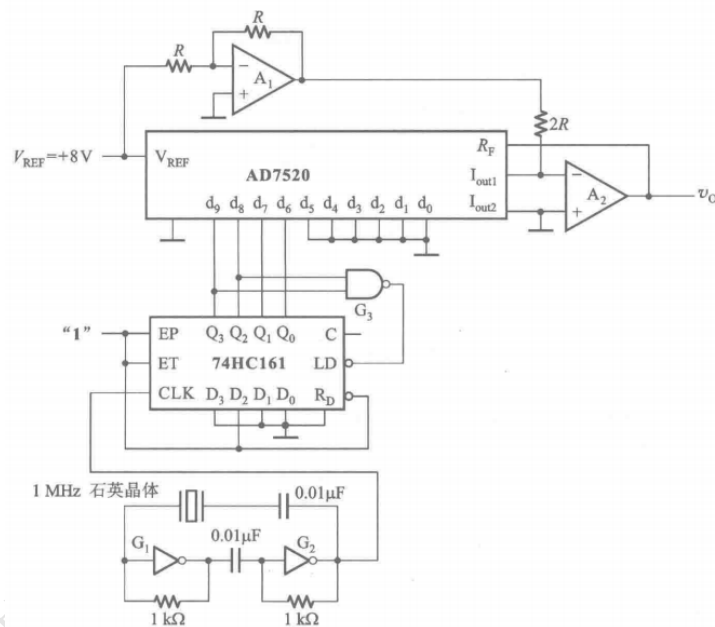
7. 如图所示的 D/A 转换器中，已知输入为 8 位二进制数码，接在 AD7520 的高 8 位输入端上， $V_{REF} = 10\text{ V}$ 。为保证  $V_{REF}$  偏离标准值所引起的误差  $\leq \frac{1}{2}\text{LSB}$ （现在的 LSB 应为  $d_2$ ），允许  $V_{REF}$  的最大变化  $\Delta V_{REF}$  是多少？ $V_{REF}$  的相对稳定度  $\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$  应为多少？若输出端随着输入二进制数的变化呈现无规律变化，请分析其原因。



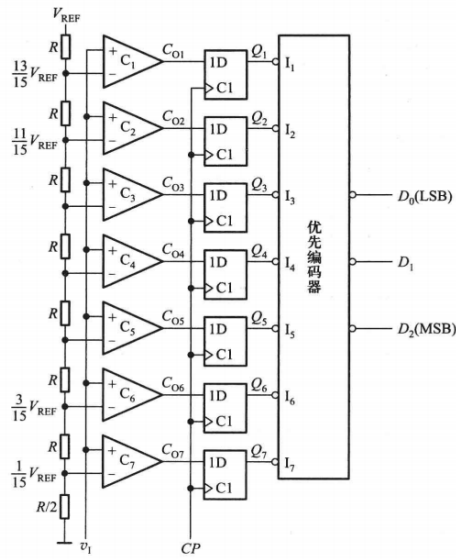
8. 某双积分 A/D 转换器中，计数器为十进制计数器，其最大计数容量为  $(3000)_D$ 。已知计数时钟频率  $f_{CP} = 30\text{KHz}$ ，积分器中  $R = 100\text{k}\Omega$ ， $C = 1\mu\text{F}$ ，输入电压  $v_I$  的变化范围为  $0 \sim 5\text{ V}$ ，试求：
- (1) 第一次积分时间  $T_1$ ；
  - (2) 求积分器的最大输出电压  $|V_{\text{omax}}|$ ；
  - (3) 当  $V_{REF} = 10\text{ V}$ ，第二次积分计数器计数值  $\lambda = (2500)_{10}$  时输入电压的平均值。

9. 如图所示电路是由 D/A 转换器 AD7520、同步十六进制计数器 74HC161 和多谐振荡电路组成的波形发生电路。外接  $2R$  电阻的阻值与倒 T 形电阻网络中的  $2R$  电阻阻值相同。石英晶体的谐振频率为 1 MHz。试画出输出电压  $v_O$  的波形，标明波形上各点电压的幅度，并计算输出波形的周期。74161 的功能表如下

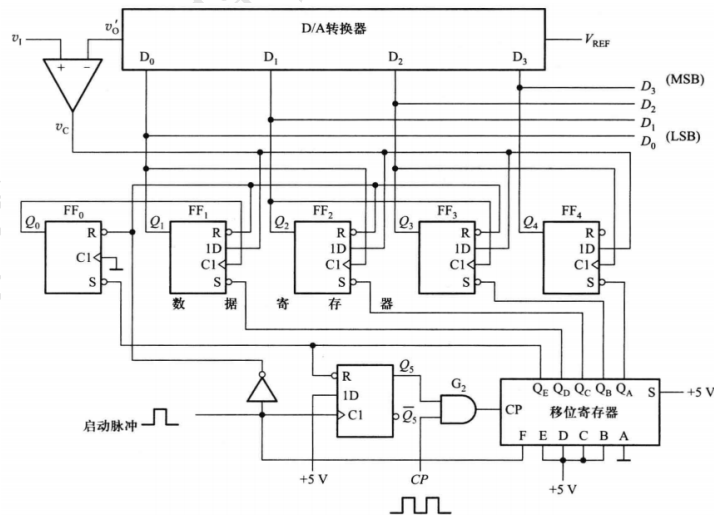
$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $C = 0$ )
↑	1	1	1	1	计数



10. 如图所示并行比较型 A/D 转换器中  $V_{REF} = 7\text{ V}$ ，试问电路的最小量化单位  $\Delta$  等于多少？当  $v_1 = 2.4\text{ V}$  时，输出数字量  $D_2D_1D_0$  是多少？



11. 在如图所示的逐次比较 ADC 中设  $V_{REF} = 10\text{ V}$ ， $v_I = 8.26\text{ V}$ 。试分析电路的工作原理，并画出在时钟脉冲作用下， $v_o'$  的波形并写出转换结果。



## 考点分析

1. 集成单稳态电路分析，注意考试时候不会给 74121 的功能表，需要自己掌握。注意 74121 是不可重复触发的。同时注意记忆公式。
2. 考察 74121 电路分析，本题侧重考察原理分析。
3. 555 构成的多谐振荡电路分析。考试时候一般会给出 555 的内部电路图。这类题目主要需要读者掌握如何识别 555 构成的电路是三类电路的哪一种、三类电路的基本原理（不需要很细节，掌握基本的输入输出关系即可）、关键参数的公式。
4. 555 构成的单稳态电路和多谐振荡电路分析。
5. 555 构成的单稳态电路和多谐振荡电路分析。（因为没找到 555 构成的施密特电路合适的题目呜呜呜）
6. AD7520 组成的 DAC，双极性输出问题（可以列方程组求解）。
7. DAC 的三类误差，以及线性误差相关计算。这类问题常考，记住教材上的结论即可。
8. 双积分 ADC 的工作原理。
9. AD7520、计数器、多谐振荡电路综合题（还可能包含存储器电路），考察读者对于不同章节学习的电路基本工作原理的理解。
10. 并联比较 ADC 的工作原理。
11. 逐次比较 ADC 的工作原理，在此提出一个思考题，如果在 DAC 的输出加上偏置，这个偏置的作用是什么呢？如果想减小转换误差，那么这个偏置应该如何设置呢？

# 模拟试卷

## 5.1 2020 秋数字逻辑电路 06 班

### 1. 简答题

(1) (4 分) 用二进制补码列算式计算

1)  $20+17$  2)  $20-17$  3)  $-20+17$  4)  $-20-17$

(2) (4 分) 用公式法将

$$Y = AC + B'C + BD' + CD' + A(B + C') + A'BCD' + AB'DE$$

化简为最简与或式.

(3) (4 分) 将具有约束条件  $AB + AC = 0$  的逻辑函数

$$Y = A'B'D + A'BC + B'C'D$$

化简为最简与或式.

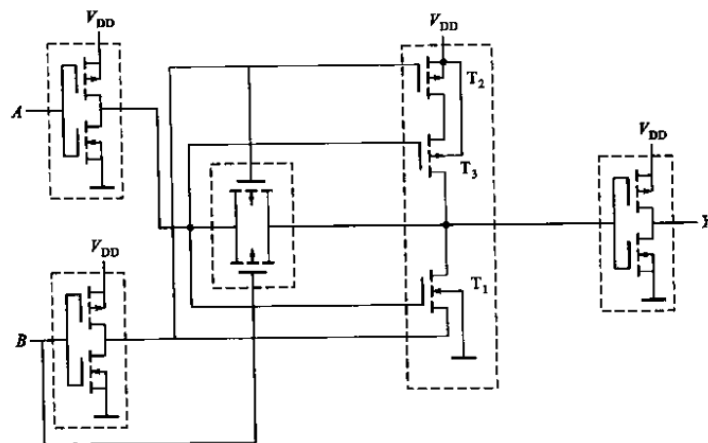


(4) (4 分) 将下列逻辑函数转换为指定形式，并画出全部由相应门电路构成的电路图。

1)(与非——与非式)  $Y = A(BC)' + ((AB)')' + A'B' + BC$

2)(或非——或非式)  $Y = ((CD)'(BC)'(ABC)'D)'$

(5) (6 分) CMOS 电路如图所示。试分析其功能，并用逻辑图表示。



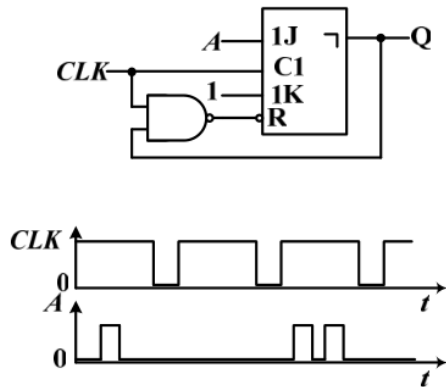
(6) (8 分) 用 ROM 设计组合逻辑电路, 产生下列一组逻辑函数

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

将所有逻辑函数写成最小项之和形式. 列出 ROM 数据表, 并画出存储矩阵的点阵图.

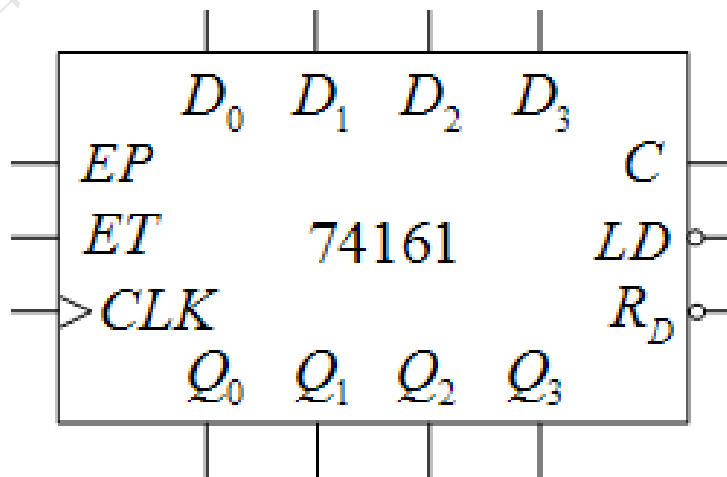
我怕我没有机会 跟你说一声再见

(7) (7 分) 如图所示的主从结构 JK 触发器电路中, 已知 CLK 和 A 的电压波形如图所示. 试画出 Q 端的波形.



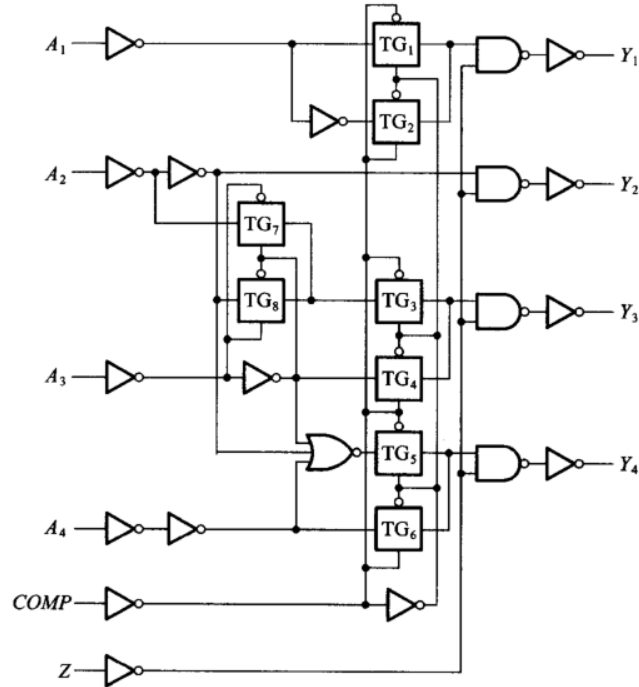
(8) (8 分) 请使用 74LS160 设计一个可控进制计数器. 当输入控制变量  $M = 0$  时工作在五进制, 当  $M = 1$  时工作在十五进制. 标出进位输出端. 功能表如下.

$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $C = 0$ )
↑	1	1	1	1	计数

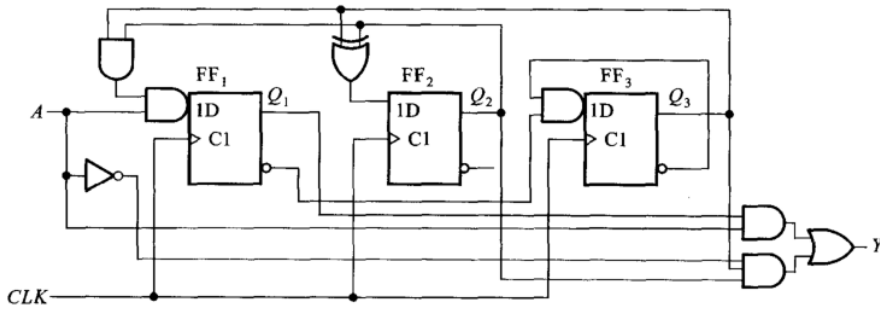


2. 分析题

(1) (15 分) 如图所示为一种算术运算电路，请说明控制端  $Z$  的作用，并分析  $Z = 0$  时，如图所示电路实现的逻辑功能。



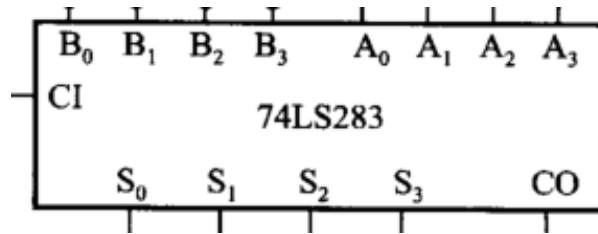
(2) (15 分) 分析如图所示时序逻辑电路. 判断这一时序逻辑电路是 Mealy 型电路还是 Moore 型电路并说明理由. 写出电路的驱动方程和状态方程, 列出状态转换表, 画出状态转换图, 检查电路能否自启动, 说明电路的功能.



我怕我没有机会 跟你说一声再见

## 3. 设计题

- (1) (10 分) 试用 4 位并行加法器 74LS283 设计一个加/减运算电路. 当控制信号  $M = 0$  时它将两个输入的 4 位二进制数相加, 而  $M = 1$  时它将两个输入的 4 位二进制数相减. 两数相加的绝对值不大于 15. 允许附加必要的门电路.



- (2) (15 分) 三相六拍步进电动机. 绕组  $A$ 、 $B$ 、 $C$  导通用  $1$  表示, 截止用  $0$  表示. 方向控制信号  $M = 1$  时电机正转,  $M = 0$  时, 电机反转. 正转的时候三相绕组导通顺序为:  $A \rightarrow AB \rightarrow B \rightarrow BC \rightarrow C \rightarrow CA \rightarrow A$ . 根据题意, 请列出状态转换表, 并采用 D 触发器设计三相六拍步进电动机控制电路.

我怕我没有机会 跟你说一声再见

## 5.2 2021 秋数字逻辑电路 04 班

### 1. 简答题

(1) (4 分) 用公式法将逻辑函数

$$Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$$

化简为最简与或式.

(2) (4 分) 将逻辑函数

$$Y(A, B, C, D) = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$$

化简为最简与或式.



(3) (4 分) 将多输出逻辑函数

$$Y_1(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 3, 6, 7, 10, 11, 12, 13, 15)$$

$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

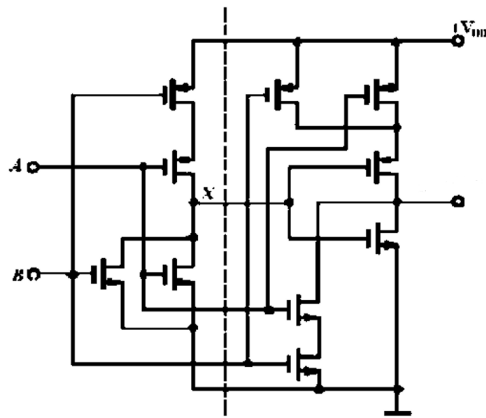
总体上化简为最简.

(4) (4 分) 将下列逻辑函数转换为指定形式, 并画出全部由相应门电路构成的电路图.

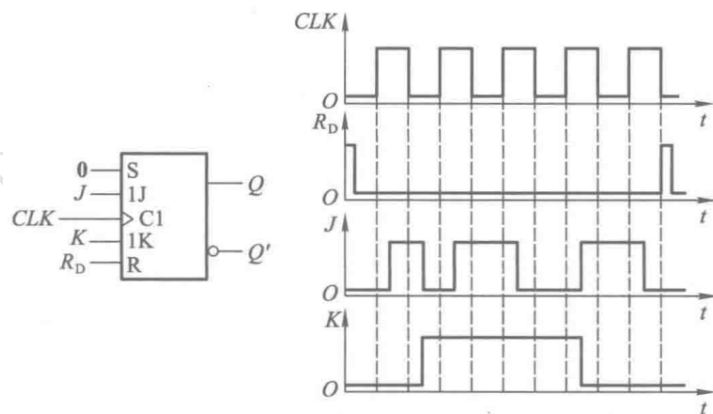
(1) (与非——与非式)  $Y = (ABC' + AB'C + A'BC)'$

(2) (或非——或非式)  $Y = (ABC' + B'C)' D' + A'B'D$

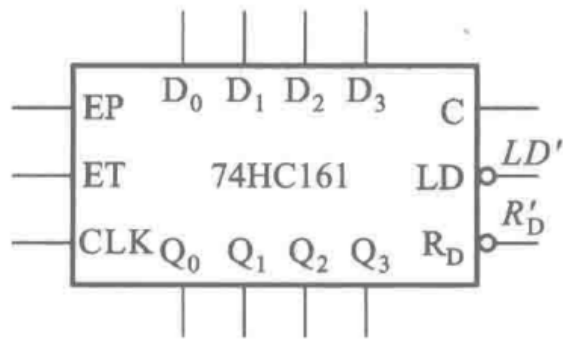
(5) (4 分) CMOS 电路如图所示. 试分析其功能, 并用逻辑图表示.



(6) (6 分) 边沿触发的 JK 触发器各个输入端的电压波形如图所示. 试画出  $Q$  和  $Q'$  端的波形.



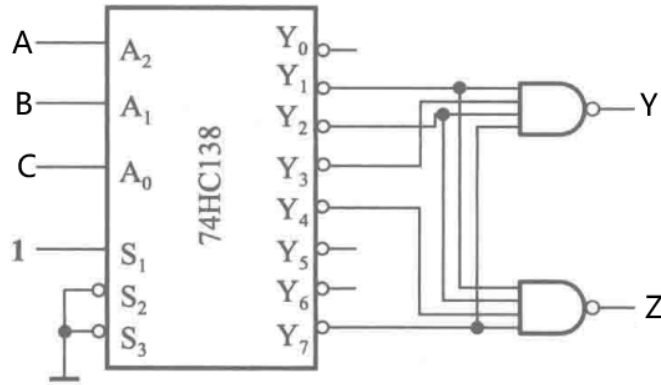
(7) (6 分) 请使用 74HC161 设计一个可控进制计数器. 当输入控制变量  $M = 0$  时工作在七进制, 当  $M = 1$  时工作在十进制. 标出进位输出端. 功能表如下.



$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $C = 0$ )
↑	1	1	1	1	计数

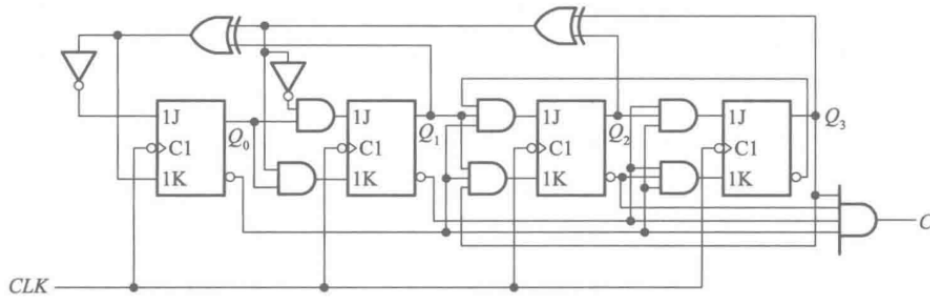
2. 分析题

(1) (10 分) 分析如图所示电路，写出输出的逻辑函数式，并说明电路实现的功能以及输入输出分别是什么. 其中，74HC138 功能表如下表.



$S_1$	$S_2' + S_3'$	$A_2$	$A_1$	$A_0$	$Y_0'$	$Y_1'$	$Y_2'$	$Y_3'$	$Y_4'$	$Y_5'$	$Y_6'$	$Y_7'$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

(2) (15 分) 分析如图所示时序逻辑电路. 写出电路的驱动方程、状态方程、输出方程, 列出状态转换表, 检查电路能否自启动, 说明电路的功能.

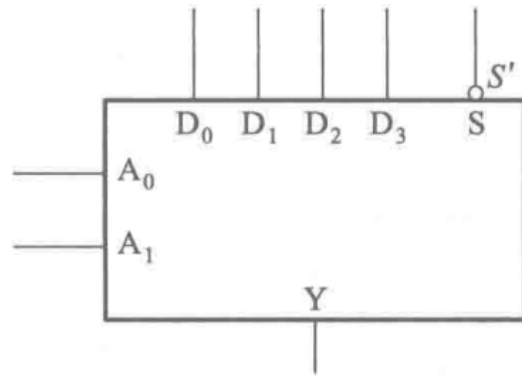


就奋不顾身撑起手掌  
够不到又怎样

## 3. 设计题

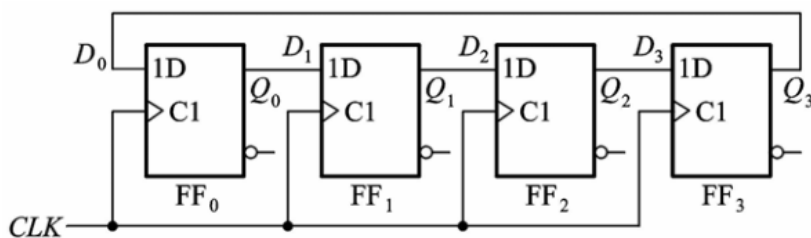
- (1) (10 分) 用 4 选 1 数据选择器设计一个奇偶检测电路, 输入为 3 位二进制代码. 当输入代码中有奇数个 **1** 时输出为 **1**; 输入代码中有偶数个 **1** 或者没有 **1** 时输出为 **0**. 数据选择器在  $S' = 0$  时输出的逻辑函数式为

$$Y = A_1' A_0' D_0 + A_1' A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3$$



就奋不顾身撑起手掌

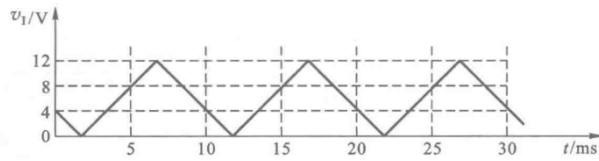
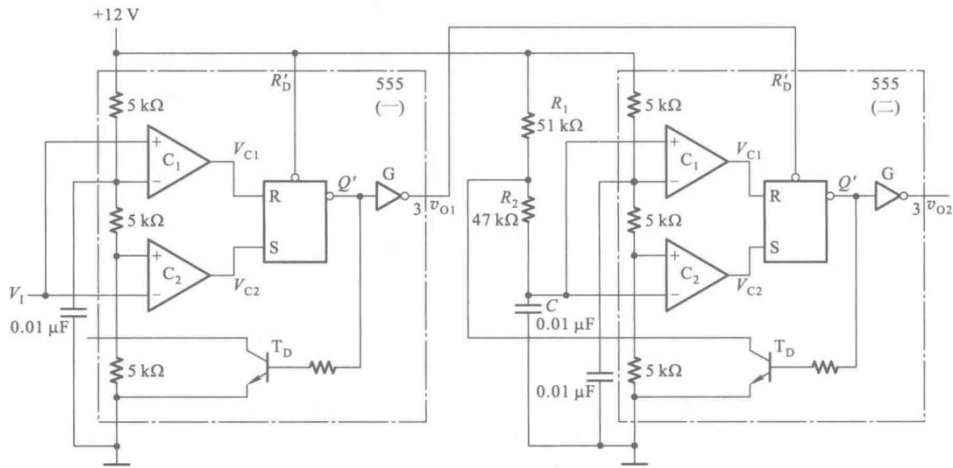
- (2) (15 分) 环形移位寄存器的电路框图如图所示，试修改反馈逻辑电路，使其能够自启动。



4. 简答题

1. (8分) 脉冲电路结构和输入电压波形如图所示。

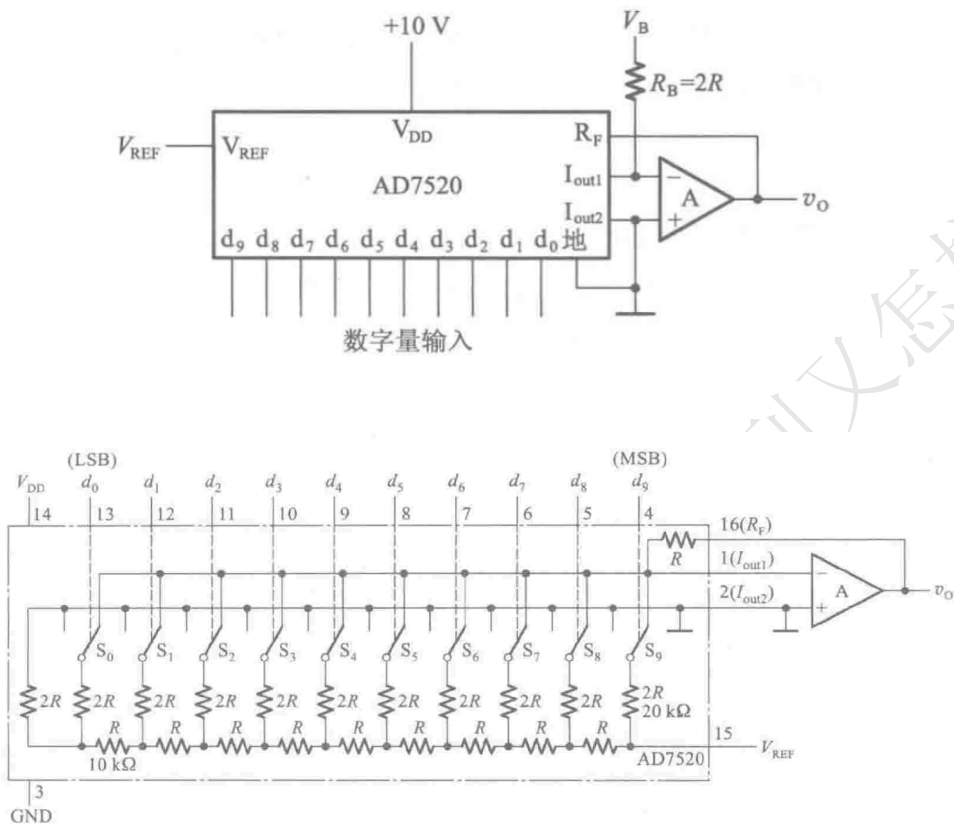
- (1) 画出  $v_{o1}, v_{o2}$  的波形。
- (2) 计算  $v_{o2}$  的脉冲宽度，并在图上标出。



就奋不顾身撑起斗



2. (10 分) 如图所示电路是用 AD7520 组成的双极性输出 D/A 转换器. 其倒 T 形电阻网络中的电阻  $R = 10\text{k}\Omega$ . 为了得到  $\pm 5\text{V}$  的最大输出模拟电压, 在选定  $R_B = 20\text{k}\Omega$  的条件下,  $V_{\text{REF}}, V_B$  应各取何值?



## 1. 简答题

(1) (4 分) 用公式法将逻辑函数

$$Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$$

化简为最简与或式.

解析:

逻辑函数化简题目, 首先要关注题目是否有**指定方法**. 对于本题, 指定了公式法. 公式法往往没有很显式的规则, 主要是根据逻辑函数的形式特点以及对常用公式的掌握, 从逻辑函数式中选择用来应用公式的部分并使用公式对该部分进行化简, 逐步进行, 得到最终的化简结果. 另外, 如果难以直接找到合适的公式, 可以利用卡诺图方法提供启发, 在草稿纸上完成卡诺图法化简, 根据最小项合并方式确定公式法化简需要组合的逻辑函数项, 进而联想到需要使用的公式.

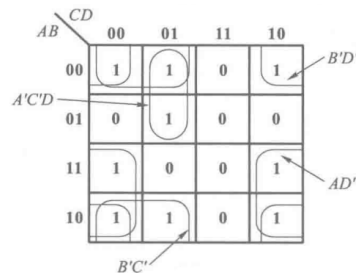
$$\begin{aligned} Y &= (AB'C'D + A'CDE + B'DE' + AC'D'E)' \\ &= (AB'C'D + AC'E + B'DE')' \\ &= (AC'E + B'DE')' \\ &= (A' + C + E')(B + D' + E) \\ &= A'B + A'D' + A'E + BC + CD' + CE + BE' + D'E' \\ &= A'D' + A'E + CE + BE' \end{aligned}$$

(2) (4 分) 将逻辑函数

$$Y(A, B, C, D) = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$$

化简为最简与或式.

解析: 逻辑函数化简题目, 首先要关注题目是否有**指定方法**. 对于本题, 没有指定化简的方法. 这时注意到变量数为 4, 可以使用卡诺图方法, 则优先使用卡诺图法.



画出卡诺图，合并最小项，可得

$$Y = AD' + B'C' + B'D' + A'C'D$$

(3) (4分) 将多输出逻辑函数

$$Y_1(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 14, 15)$$

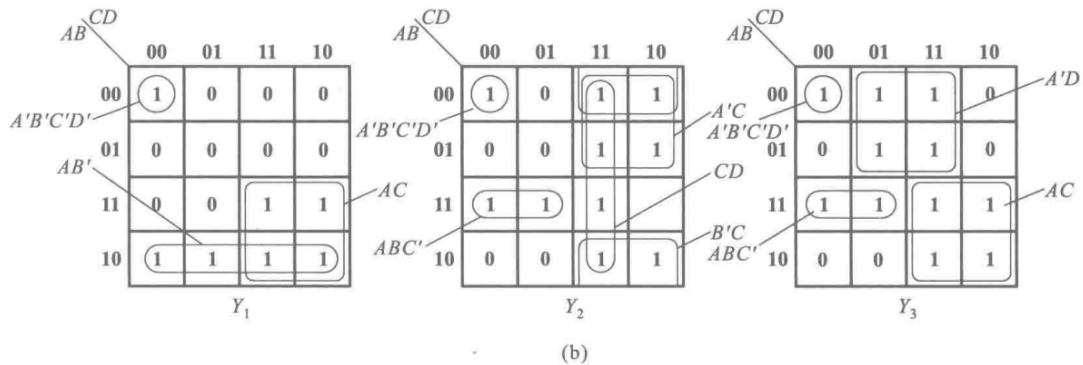
$$Y_2(A, B, C, D) = \sum m(0, 2, 3, 6, 7, 10, 11, 12, 13, 15)$$

$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

总体上化简为最简。

解析：

多输出逻辑函数化简的问题解决方法详见第一章“考点总结”。



按照卡诺图中展示的合并最小项方法，可得最终的化简结果

$$Y_1(A, B, C, D) = A'B'C'D' + AB' + AC$$

$$Y_2(A, B, C, D) = A'B'C'D' + ABC' + CD + B'C + A'C$$

$$Y_3(A, B, C, D) = A'B'C'D' + A'D + ABC' + AC$$

(4) (4分) 将下列逻辑函数转换为指定形式，并画出全部由相应门电路构成的电路图。

1)(与非——与非式)  $Y = (ABC' + AB'C + A'BC)'$

2)(或非——或非式)  $Y = (ABC' + B'C)' D' + A'B'D$

解析：

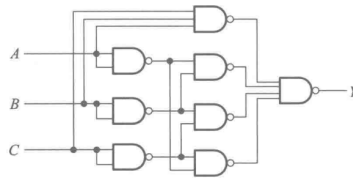
逻辑函数式不同标准形式之间的转换问题在课堂上有介绍基本的方法。对于本题，1) 中为标准的与非形式，按照课堂介绍的方法，利用反演定理写出与或非式，二次求反并对最外层求反号内的逻辑函数进一步应用反演定理，即可得到结果。2) 中并不是标准的形式，一种思路是将其化为某种标准形式，比如习惯上将

其写成与或式，然后利用课堂介绍的转换方法求解；另一种思路是，借鉴课堂所学转换方法的基本思想，对逻辑函数式应用二次求反，然后利用反演定理等对内层的逻辑函数进行操作。

1)

$$\begin{aligned}
 Y &= (ABC' + AB'C + A'BC)' \\
 &= A'B'C' + A'B'C + A'BC' + AB'C' + ABC \\
 &= A'B' + A'C' + B'C' + ABC \\
 &= ((A'B' + A'C' + B'C' + ABC)')' \\
 &= ((A'B')' \cdot (A'C')' \cdot (B'C')' \cdot (ABC)')'
 \end{aligned}$$

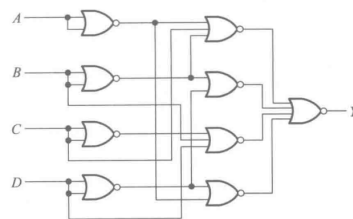
电路图



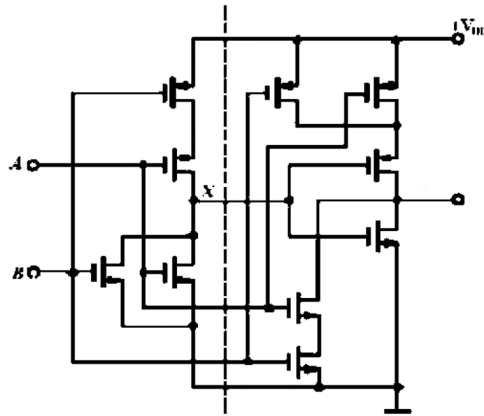
2)

$$\begin{aligned}
 Y &= (ABC' + B'C)' D' + A'B'D \\
 &= (((ABC' + B'C)' D' + A'B'D)')' \\
 &= ((ABC' + B'C + D)(A + B + D'))' \\
 &= (ABC' + AD + B'CD' + BD)' \\
 &= ((A' + B' + C)' + (A' + D')' + (B + C' + D)' + (B' + D')')'
 \end{aligned}$$

电路图



(5) (6分) CMOS 电路如图所示. 试分析其功能, 并用逻辑图表示.



解析：

简单的 CMOS 电路识图是第三章需要掌握的重要知识点之一。这类问题的解决思想主要是转化，我们熟悉的是课堂所学的基本门电路的电路结构和逻辑函数式对应关系，而我们要面对的是相对复杂的逻辑电路，所以我们要做的是将其转化为我们熟悉的问题。

解决方法主要有两种：一种基于问题直接转化的思想，将复杂的电路转化为我们熟悉的基本门电路的组合，方法就是纵向对电路进行分级，当每一级都是基本门电路时我们就可以轻松地写出其对应的逻辑函数式；另一种基于问题间接转化（即借鉴熟悉的问题的求解思路）的思想，我们课堂所学的基本门电路的逻辑功能分析时采用的方法是，按照电路图书写真值表，进而写出对应的逻辑函数式。本题分别按照上述的两种方法的进行求解。

1) 按照图中虚线展示的划分方法，将电路分为两级，并记第一级的输出为图中标注的  $X$ 。可以发现，前一级为或非门，后一级为与或非门，则可得

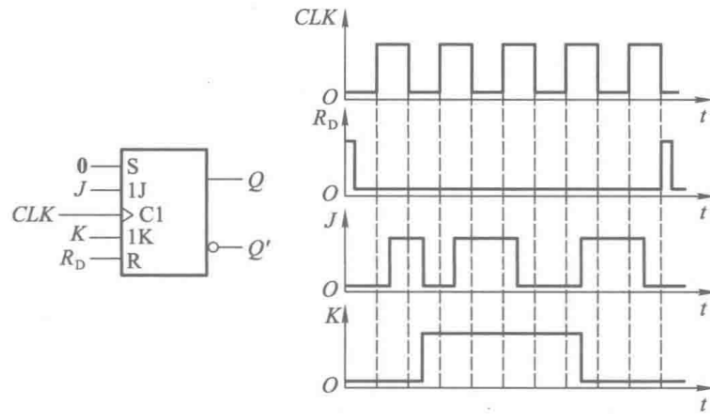
$$\begin{aligned}
 Y &= (A \cdot B + X)' \\
 &= (A \cdot B + (A + B)')' \\
 &= (A \cdot B + A' \cdot B')' \\
 &= A \oplus B
 \end{aligned}$$

为了列写真值表，我们就是要考虑在所有的输入组合下，输出的情况。使用这种方法需要掌握的基础知识有：识别 CMOS 管子的类型（P 管/N 管）；在高低电平输入时，不同（P/N）管子的导通情况。识别管子的类型主要看箭头的方向，对于半导体器件，箭头的方向是由 P 型半导体指向 N 型半导体，如图中与输入 B 相连的管子，箭头指向外（即 S 级），则说明 S 级是 N 型半导体，即为 N 沟道增强型 MOS 管。对于管子的导通情况，如果是 N 型管，输入为高电平时导通、低电平截止，如果是 P 型管，输入为低电平时导通、高电平截止。

基于上述分析原则，在每种输入组合下，从输入到输出确定每个管子的通断情况，

即可确定最后输出是高电平还是低电平，进而即可列写出真值表。这里省略每种情况的分析过程，读者可以按照解析提供的方法进行分析。

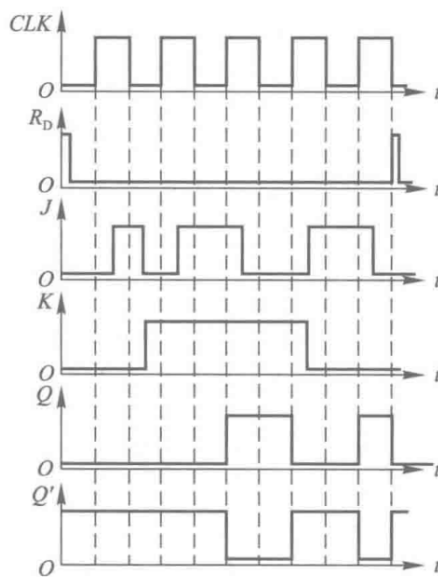
- (6) (7 分) 边沿触发的 JK 触发器各个输入端的电压波形如图所示. 试画出  $Q$  和  $Q'$  端的波形.



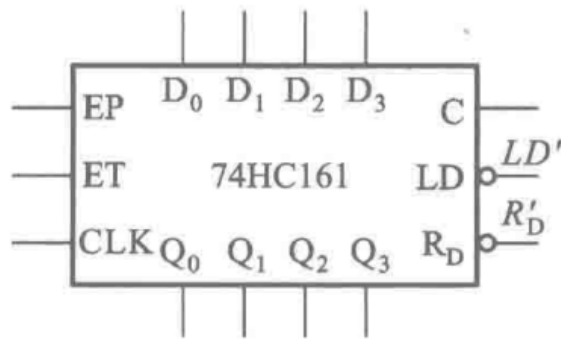
解析：

画触发器电路输出波形图的题目是第五章的重要考点之一。在处理这类问题时，首先要关注触发器的两个重要指标：触发方式和逻辑功能。首先关注触发方式，确定触发器状态可能发生变化的时刻，这里要特别注意是否存在异步的置位/清零输入；接着关注逻辑功能，确定在选定时刻触发器状态的变化情况。对于 CLK 和异步输入确定的简单情形，直接按照上述方式即可解决；对于 CLK 或异步输入不能直接确定（和某个触发器状态有关）时，只能按照可能动作点划分的阶段，逐步分析。

对于本题，注意存在异步输入端，同时还要注意 JK 触发器的一次翻转问题。



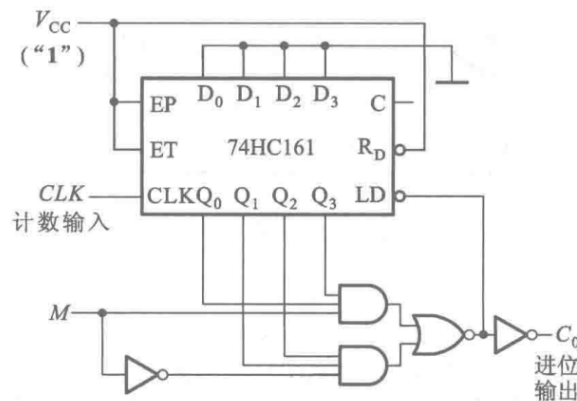
(7) (6 分) 请使用 74HC161 设计一个可控进制计数器. 当输入控制变量  $M = 0$  时工作在七进制, 当  $M = 1$  时工作在十进制. 标出进位输出端. 功能表如下.



$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $C = 0$ )
↑	1	1	1	1	计数

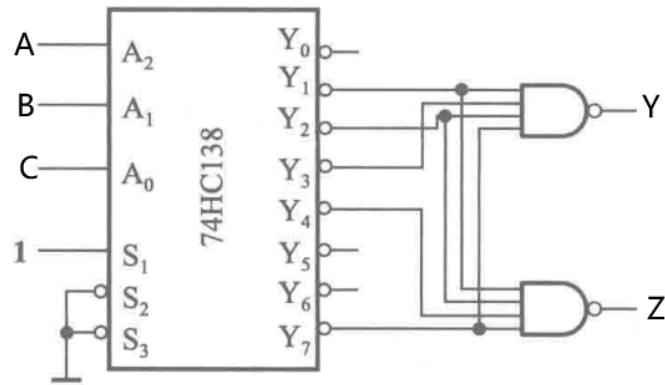
解析:

任意计数器设计题目是常考问题, 可控进制计数器也是这种基本模型的一个简单变形. 这类问题主要关注有效循环是如何构成, 进而设计控制片间关系的计数器进位信号的产生方式.



## 2. 分析题

(1) (10 分) 分析如图所示电路, 写出输出的逻辑函数式, 并说明电路实现的功能以及输入输出分别是什么. 其中, 74HC138 功能表如下表.



$S_1$	$S'_2 + S'_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

解析：

组合逻辑电路分析问题的本质就是逻辑函数不同表达形式之间的转换。对于本题，首先根据 74HC138 的功能表得到每种输入组合下的输出，进而列写真值表，根据真值表即可得到逻辑函数式。组合逻辑电路的功能分析是这一章的一个难点，在“考点总结”中作者将其建模为四分类问题。

$A$	$B$	$C$	$Y$	$Z$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



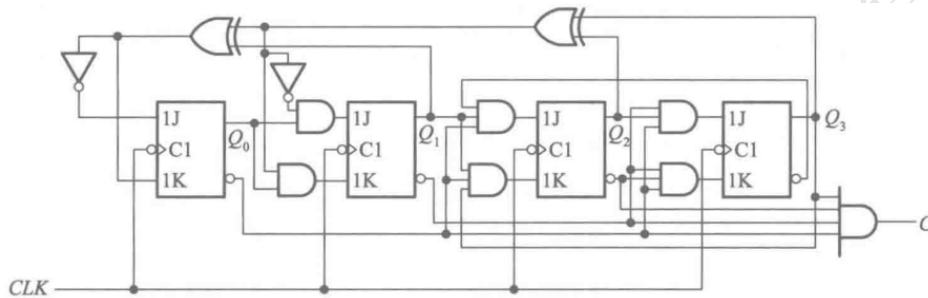
进而可以分析得到，逻辑函数式为

$$Y = A'B + A'C + BC$$

$$Z = A'B'C + A'BC' + AB'C' + ABC$$

逻辑功能为 1 位全减器，其中  $A$  为被减数， $B$  为减数， $C$  为借位输入， $Y$  为借位输出， $Z$  为本位差。

- (2) (15 分) 分析如图所示时序逻辑电路. 写出电路的驱动方程、状态方程、输出方程，列出状态转换表，检查电路能否自启动，说明电路的功能。



解析：

时序逻辑电路分析题目，首先按照逻辑电路图写出驱动方程，结合触发器的特性方程可得状态方程，最后得到输出方程。自启动的检查即查看是否存在无效状态构成的循环。时序逻辑电路的功能往往易于描述，有效循环中有多少个状态，即可以称之为多少进制的计数器，特别地可以观察是否为某种特殊形式编码的计数器，比如格雷码计数器。

驱动方程：

$$J_3 = Q_2 Q_1 Q_0'; K_3 = Q_2' Q_1' Q_0'$$

$$J_2 = Q_3' Q_1 Q_0'; K_2 = Q_3 Q_1 Q_0'$$

$$J_1 = (Q_3 \oplus Q_2)' Q_0; K_1 = (Q_3 \oplus Q_2) Q_0$$

$$J_0 = (Q_3 \oplus Q_2 \oplus Q_1)'; K_0 = Q_3 \oplus Q_2 \oplus Q_1$$

状态方程：

$$Q_3^* = Q_3 Q_1 + Q_3 Q_0 + Q_2 Q_1' Q_0'$$

$$Q_2^* = Q_2 Q_1' + Q_2 Q_0 + Q_3' Q_1 Q_0'$$

$$Q_1^* = Q_1 Q_0' + Q_3' Q_2' Q_0 + Q_3 Q_2 Q_0$$

$$Q_0^* = Q_3' Q_2' Q_1' + Q_3' Q_2 Q_1 + Q_3 Q_2 Q_1' + Q_3 Q_2' Q_1$$

输出方程：

$$C = Q_3 Q_2' Q_1' Q_0'$$

状态转换表：

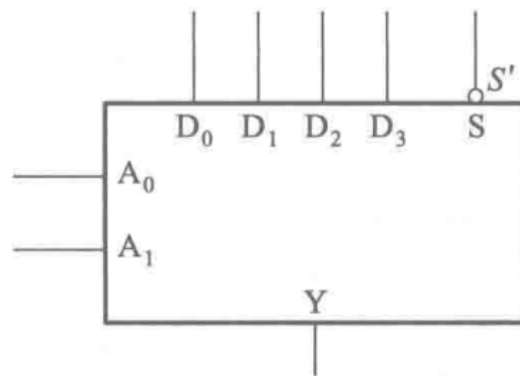
计数顺序	电路状态				进位输出 C
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

一般在遇到自启动判断问题时，我们往往需要画出完整的状态转换图来判断是否存在无效循环，但是本题特别之处在于，由状态转换表可以发现，有效状态共有 16 个，即所有状态都是有效状态，因此不需要画状态转换图即可判断，能够自启动。根据状态转换表可以发现，其功能为：4 位格雷码计数器（或者答 16 进制计数器）。

### 3. 设计题

- (1) (10 分) 用 4 选 1 数据选择器设计一个奇偶检测电路，输入为 3 位二进制代码。当输入代码中有奇数个 1 时输出为 1；输入代码中有偶数个 1 或者没有 1 时输出为 0。数据选择器在  $S' = 0$  时输出的逻辑函数式为

$$Y = A_1' A_0' D_0 + A_1' A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3$$



解析：

组合逻辑电路设计题本质上是逻辑函数不同表示形式的转换。首先根据自然语言描述确定输入输出变量，写出真值表，进而写出逻辑函数式，根据给定的器

件对逻辑函数式进行适当变形，最后得到电路图。在考试时候容易丢分的问题之一在于逻辑抽象。

- 输入：用  $ABC$  表示输入的 3 位二进制代码
- 输出：用  $Z$  表示输出的结果

根据题目要求列出真值表

$A$	$B$	$C$	$Z$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

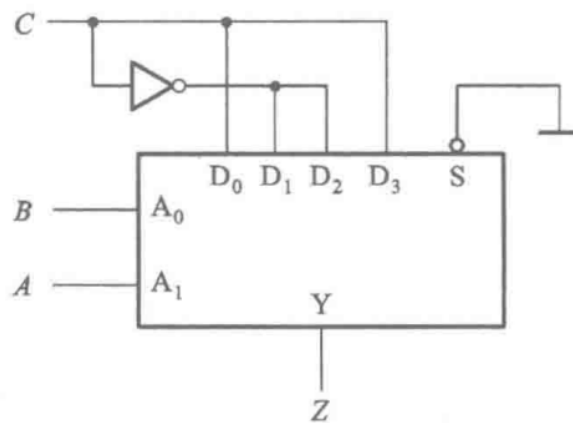
根据真值表可以写出逻辑函数式

$$Z = A'B'C + A'BC' + AB'C' + ABC$$

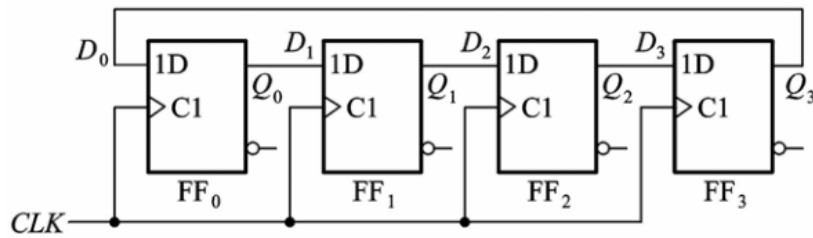
对照数据选择器的输入输出关系，可以得到

$$A_1 = A, A_0 = B, D_0 = C, D_1 = C', D_2 = C', D_3 = C$$

电路图

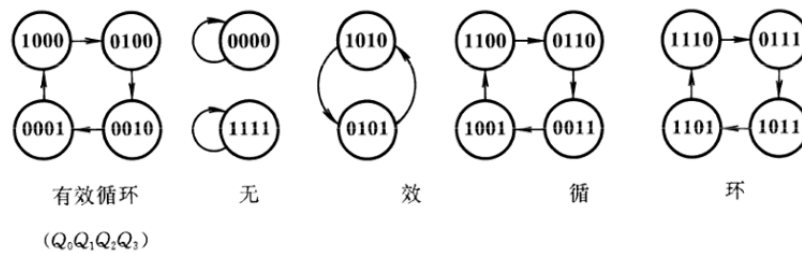


- (2) (15 分) 环形移位寄存器的电路框图如图所示，试修改反馈逻辑电路，使其能够自启动。



解析：

首先画出状态转换图，确定有效循环和无效状态。



首先讨论无效循环 0000 和 1111. 由于其构成自循环，所以必须修改其次态. 根据以上讨论

- 0000 的次态只能指定为 1000
- 1111 的次态只能指定为 0111(在这里也不难发现，有时候我们没有办法将无效循环中状态的次态指定为有效状态)

接着讨论 1010 和 0101.

- 对于 0101，我们可以指定其次态为 0010 进而直接进入有效循环
- 对于 1010 其次态为 0101，如果我们修改其次态，那只能是 1101，而二者都不是有效循环中的状态，那么我们是否要修改这一状态的次态呢
- 在这里要说明一种修改次态的经验，即我们要根据有效循环中状态特征来确定，具体来讲就是，如果有效循环中的状态比特中 0 比较多，那么我们修改无效状态时候尽量向着 0 的个数增加的方向；如果有效循环中的状态比特中 1 比较多，那么我们修改无效状态时候尽量向着 1 的个数增加的方向
- 所以，这里我们不修改 1010 的次态，即仍然让其次态为 0101

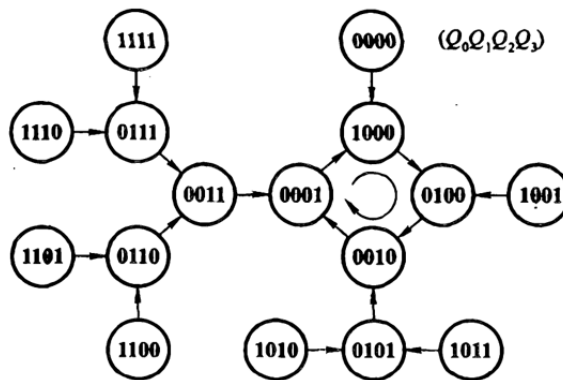
接着讨论 1110、0110、0011、1001 构成的无效循环. 在这里，我们仍然遵循上述原则来进行.

- 1100 的次态 0110 只能修改为 1110，而这样 1 的个数增加，所以不修改
- 0110 的次态 0011 只能修改为 1011，而这样 1 的个数增加，所以不修改
- 0011 的次态是 1001，可以修改为 0001，进而直接进入有效循环
- 1001 的次态是 1100，可以修改为 0100，进而直接进入有效循环

最后讨论 1110、0111、1011、1101 构成的无效循环. 在这里, 我们仍然遵循上述原则来进行.

- 1110 的次态 0111 只能修改为 1111, 而这样 1 的个数增加, 所以不修改
- 0111 的次态是 1011, 可以修改为 0011, 这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现, 我们已经将 0011 的次态指定为 0001, 直接进入有效循环)
- 1011 的次态是 1101, 可以修改为 0101, 这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现, 我们已经将 0101 的次态指定为 0010, 直接进入有效循环)
- 1101 的次态是 1110, 可以修改为 0110, 这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现, 0110 的次态是 0011, 0011 的次态被修改为 0001, 直接进入有效循环)

这样修改后, 不再存在无效循环, 即完成了自启动设计的状态转换图修改工作. 按照以上分析, 得到如图所示的状态转换图.



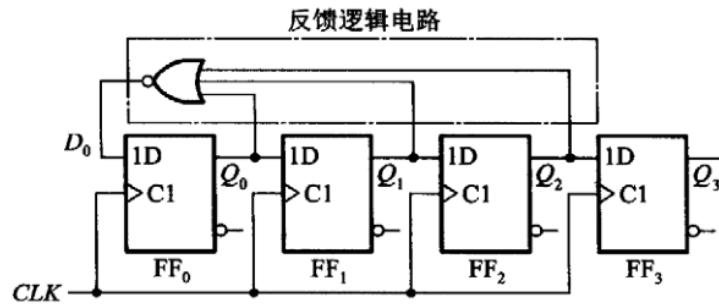
从以上分析过程我们可以得到一个经验性的方法

- 对于自己构成无效循环的状态, 必须修改其次态
- 遍历其余所有无效状态, 观察其次态, 如果修改状态能够使得其次态中 0、1 的个数特征 (0 多或者 1 多) 和有效循环中的一致, 就可以考虑修改其次态 (当然这一特征有些时候并不明显, 比如扭环形移位寄存器, 实际上本质还是向着离有效循环更近的方向修改次态)

根据以上的分析, 我们列出状态转换表, 进而得到状态方程 (同时也得到了驱动方程)

$$\begin{cases} Q_0^* = D_0 = (Q_0 + Q_1 + Q_2)' \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

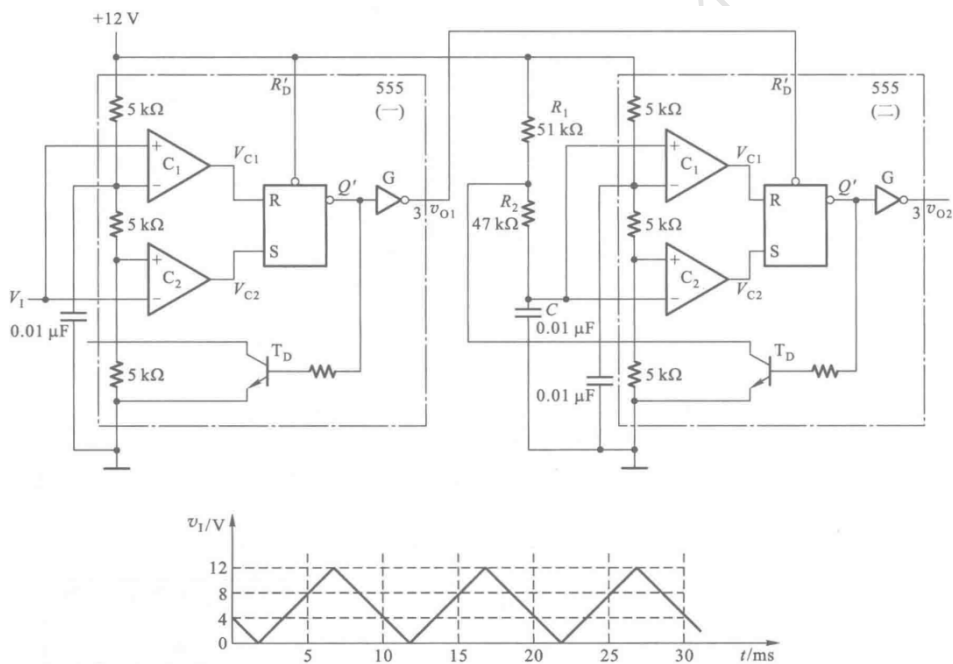
这样我们就得到了修改后能够自启动的移位寄存器的电路图



4. 简答题

(1) (8 分) 脉冲电路结构和输入电压波形如图所示。

- 1) 画出  $v_{o1}, v_{o2}$  的波形。
- 2) 计算  $v_{o2}$  的脉冲宽度，并在图上标出。

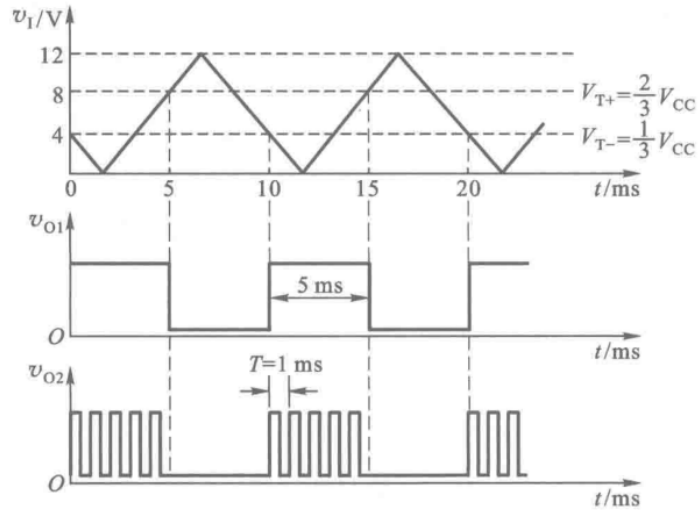


解析：

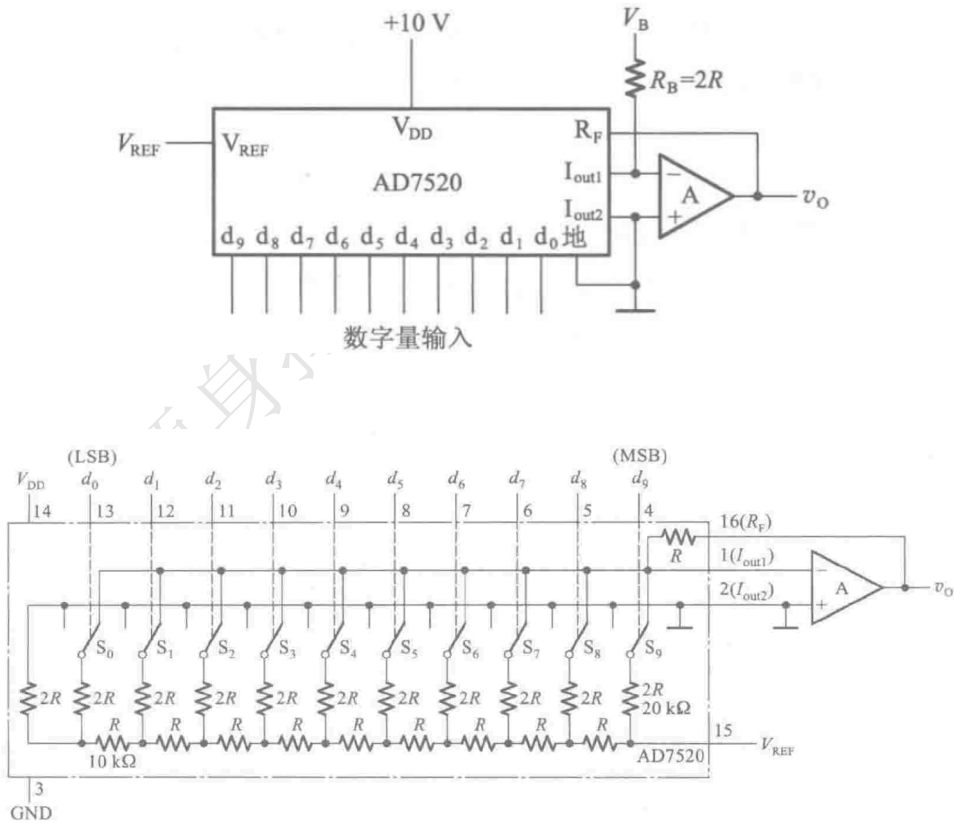
这类问题首先要判断每个 555 定时器电路接成哪种电路。第 (一) 个 555 接成了施密特触发电路，第 (二) 个 555 接成了多谐振荡电路。多谐振荡电路振荡周期为

$$\begin{aligned}
 T &= (R_1 + 2R_2) C \ln 2 \\
 &= (51 \times 10^3 + 2 \times 47 \times 10^3) \times 0.01 \times 10^{-6} \times 0.69 \text{ s} \\
 &= 1 \text{ ms}
 \end{aligned}$$

波形图



(2) (10 分) 如图所示电路是用 AD7520 组成的双极性输出 D/A 转换器。其倒 T 形电阻网络中的电阻  $R = 10\text{k}\Omega$ 。为了得到  $\pm 5\text{V}$  的最大输出模拟电压，在选定  $R_B = 20\text{k}\Omega$  的条件下,  $V_{\text{REF}}, V_B$  应各取何值?



解析:

双极性输出 D/A 转换器问题解决方法是，根据运算放大器的虚短虚断性质列出偏置电压、参考电压和输出电压的关系，按照题目要求代入数据求解即可。实际上就是求解二元一次方程组。

由 AD7520 的电路结构和题图输入电压关系可得

$$\frac{V_B}{2R} + \frac{V_{REF}}{R} \cdot \frac{D}{2^n} + \frac{V_o}{R} = 0$$

进而可得

$$V_o = -\frac{V_B}{2} - \frac{V_{REF}}{R} \cdot \frac{D}{2^n}$$

由输出变化范围可知

$$V_{REF} = 10V$$

则可得

$$V_B = -10V$$

注意，答案不唯一，另一种可能的结果是  $V_{REF} = -V_B = -10V$ 。



### 5.3 2022 秋数字逻辑电路 05 班

1. (4 分) 用公式法求逻辑函数式  $Y(A, B, C, D) = \sum m(1, 2, 3, 4, 6, 8, 9, 10, 12, 14)$  的最简“或非-或非”式。

2. (6 分) 试用卡诺图化简法对一组多输出逻辑函数进行化简

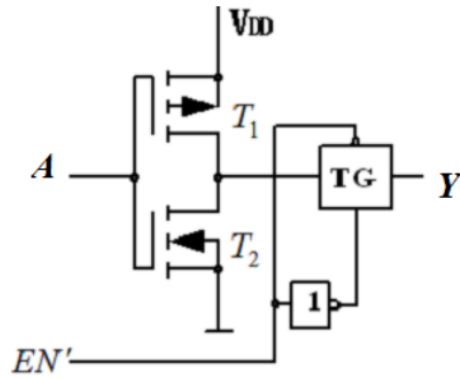
$$Y_1(A, B, C, D) = \sum m(0, 1, 3, 6, 7, 13, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 4, 5, 7, 9, 10, 11, 12, 15)$$

$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

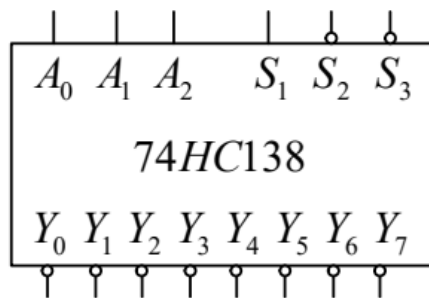
3. (4 分) 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为  $5\mu\text{A}$ ，在负载电容  $C_L$  为 100pF、输入信号频率为 500kHz 时的总功耗为 1.56 mW，试计算该门电路的功耗电容的数值。

4. (4 分) CMOS 电路如图所示，试写出其输出逻辑函数式。

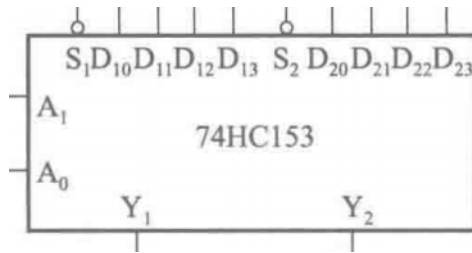


5. (10 分) 试用两片双 4 选 1 数据选择器 74HC153 和 3 线-8 线译码器 74HC138 接成 16 选 1 的数据选择器。其中 74HC138 和四选一数据选择器的框图和功能表如下

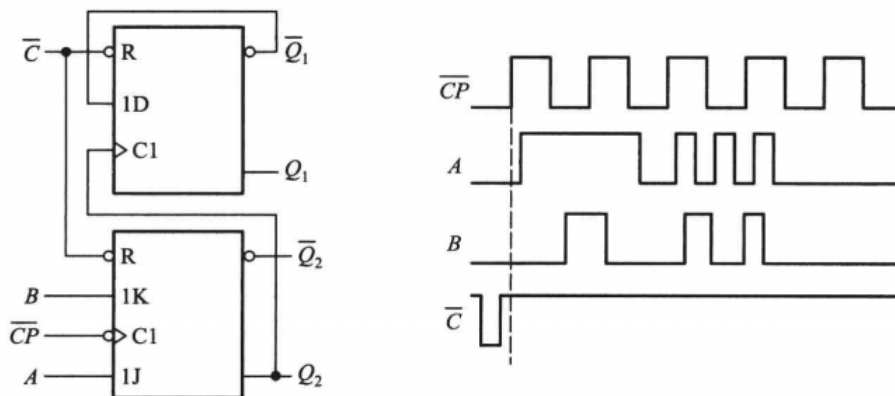
$S_1$	$S_2 + S_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



$S'$	$A_1$	$A_0$	$Y$
1	×	×	0
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$

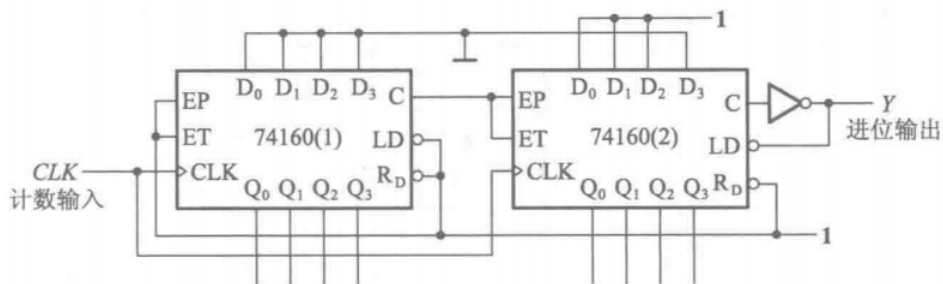


6. (6分) 由 JK 触发器和 D 触发器组成的触发器电路如图所示，试画出  $Q_1$ 、 $Q_2'$  端对应的电压波形（题图中  $\bar{Q}$  即为  $Q'$ ）。

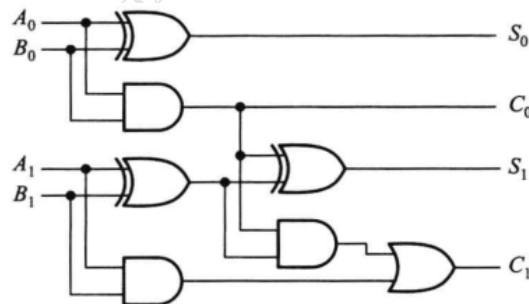


7. (8 分) 如图所示电路是由两片同步十进制计数器 74160 组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。74160 的功能表如下

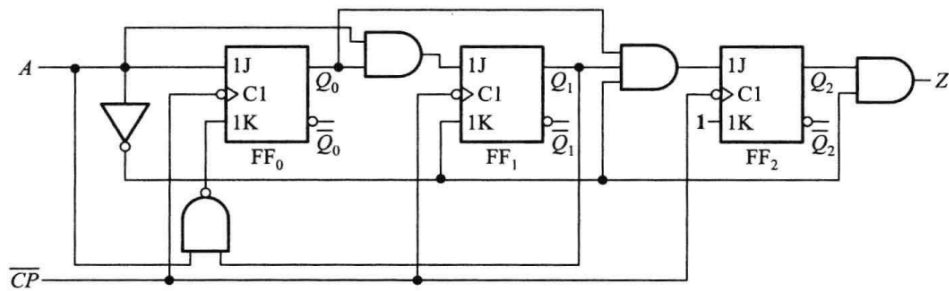
$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持, $C = 0$
↑	1	1	1	1	计数



8. (6 分) 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。

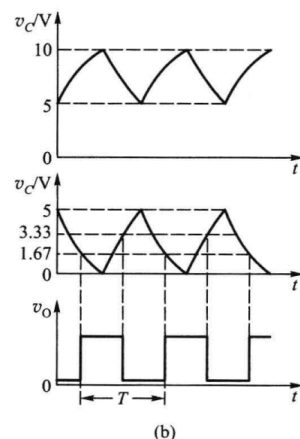
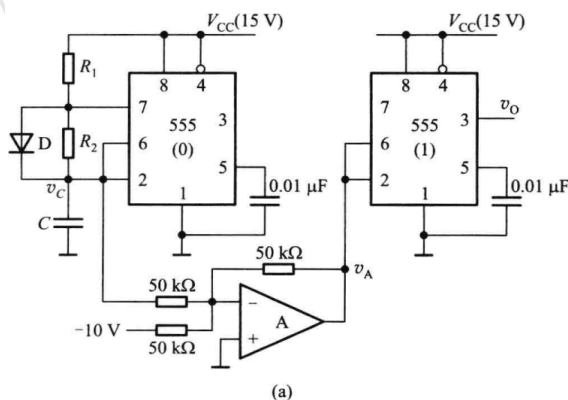


9. (6分) 由 JK 触发器构成的时序逻辑电路如图所示，试写出该电路的驱动方程、状态方程和输出方程，列出状态转换表，说明该电路是穆尔型电路还是米利型电路，并说明电路能否自启动。



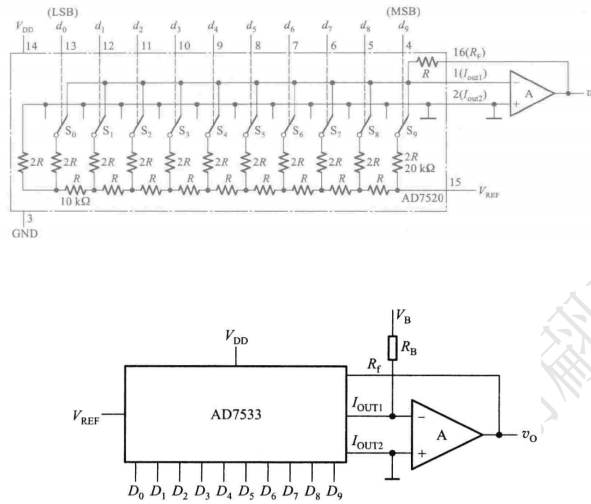
10. (10分) 由 555 定时器组成的电路如图所示，图中  $R_1 = R_2 = 5k\Omega$ ,  $C = 0.01\mu F$ , D 为理想二极管。理想运放 A 的供电电压为  $\pm 15V$ , 其他参数如图所示。(注：题图有错误需要修改，具体地，左侧电路图中 555 (1) 的 5 号引脚接 3V 参考电压，右侧波形图第二行的纵坐标为  $v_A$ )

- (1) 试问两片 555 各组成什么电路，给出其关键参数；
- (2) 画出  $v_C$ 、 $v_A$  和  $v_o$  的波形，并计算出  $v_o$  的周期。

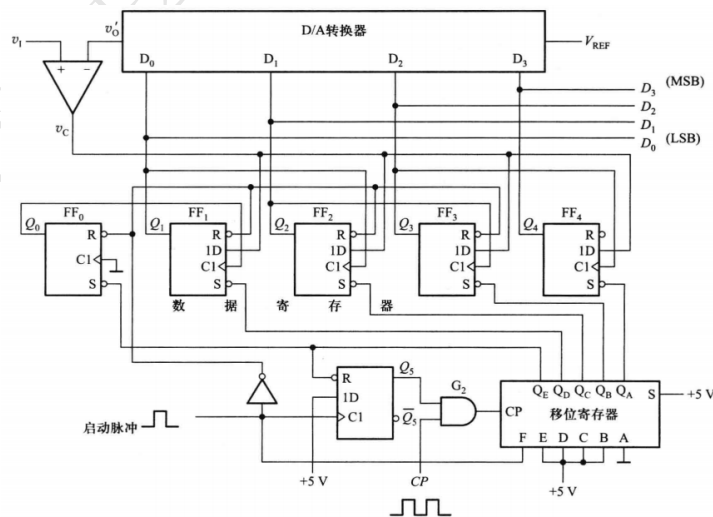


11. (6 分) 由 AD7533 (和 AD7520 的引脚和功能相当, 如下图所示) 组成双极性输出 D/A 转换器如图所示。

- (1) 根据电路写出输出电压  $v_o$  的表达式;
- (2) 试问实现输入为 2 的补码时的双极性输出电路中  $V_B$ 、 $R_B$ 、 $V_{REF}$  和片内的  $R$  应满足什么关系?

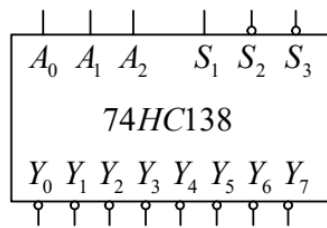


12. (6 分) 在如图所示的逐次比较 ADC 中设  $V_{REF} = 10\text{ V}$ ,  $v_I = 8.26\text{ V}$ 。试画出在时钟脉冲作用下,  $v'_o$  的波形并写出转换结果。



13. (10 分) 试设计一可逆的 4 位码转换电路。当控制信号  $C = 1$  时，它将 8421 码转换为格雷码； $C = 0$  时，它将格雷码转换为 8421 码。要求使用 3 线-8 线译码器 74HC138 实现，功能表和框图如下。

$S_1$	$S'_2 + S'_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



14. (14 分) 试用正脉冲触发的 JK 触发器设计一同步时序逻辑电路，要求实现 1101 序列检测，输入为串行编码序列，输出为检测结果。

- (1) 列出状态转换表；
- (2) 写出驱动方程、状态方程和输出方程；
- (3) 画出完整的电路图。



## 解析

1. 这道题目考察逻辑函数化简，由于指明了方法，读者必须使用公式法进行化简。读者也许很少见到公式法化简题目以最小项之和的形式给出逻辑函数，这种往往出现在卡诺图化简法的题目中，不过对于逻辑函数基本型要熟练掌握，同时不能想当然地看到这个形式就直接卡诺图化简。
2. 多输出逻辑函数化简的解题方法已经在两次习题课中详细介绍了，详见第一章“考点总结”，这道题目作为练习。
3. 第三章的两个考点之一，需要读者熟练记忆两组公式，一个是功耗相关（本题），一个是 OD 门上拉电阻（作业）。
4. 第三章的两个考点之一，这道题难度较小，建议读者对照第一章把 CMOS 电路分析方法熟练掌握。同时这道题要注意，存在易错点，即高阻态。
5. 这道题目考察功能扩展，是第四章的两个难点之一（另一个就是用自然语言描述组合逻辑电路实现的功能），数据选择器和译码器的功能扩展建议读者掌握。
6. 第五章的题目往往就是分析触发器电路画波形图，或者存储器相关计算（以及识别存储器点阵图中的与门阵列和或门阵列，列写数据表等）。触发器电路分析主要基于触发器的逻辑功能和触发方式，首先根据触发方式确定动作可能发生的位置以及可能影响动作的输入信号范围，然后根据逻辑功能确定动作。这种题目要特别注意异步的 CLK 和置位/置零信号。建议铅笔、直尺作图。
7. 第六章必考的计数器电路分析题目，这种题目往往难度不大，但是存在一些易错点，包括置数/置零的同步/异步等。这道题目是作业中出错率较高的题目，专门挑选出来提醒大家注意。
8. 第四章的两个难点之一，详见第一章“考点总结”。
9. 第六章时序逻辑电路分析，难度一般，主要是要细致审题，比如本题要求列状态转换表，不可只画状态转换图。
10. 第七章的题目基本上都是这样考察，要能识别题目所给的电路是哪种类型的电路，并熟练掌握三类电路关键参数的计算。
11. 第八章的常规考点，除此以外还要掌握误差分析。
12. 第八章的常规考点，除此以外还要掌握误差分析。
13. 第四章组合逻辑电路设计题目，本题难度较大。首先考察第一章码制，需要读者掌握 8421 码和格雷码编码规则；接下来考察用中规模器件——译码器设计逻辑函

数， $n$  位译码输入的译码器可以设计多输出的  $n$  变量逻辑函数，由于本题要求设计 5 变量逻辑函数，因此需要 5 位译码输入的译码器，而题目提供的是 3 位译码输入的译码器，所以需要对译码器进行功能扩展。这种隐式考察功能扩展的题目建议读者理解，并掌握译码器和数据选择器的功能扩展方法。

14. 第六章时序逻辑电路设计题目，本题难度略大。首先考察逻辑抽象，这是近几年考题中很少着重考察的，也是时序逻辑电路设计的难点之一；接着考察基于 JK 触发器的设计，建议掌握习题课介绍的方法；最后画电路图的时候要注意题目中限定的触发方式。

## 5.4 2023 秋数字逻辑电路 03 班

在本学期第一次课时线下发布。

秋天的月 能否照亮冬天的雪

## 往年试卷解析

<https://www.bilibili.com/video/BV1Ye4y1V7fa/>

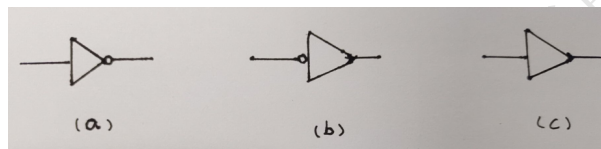
勘误：其中计数器题目的波形图给的答案是错的，1111 和 1100 的次态应为 0000。

我想我很适合 当一个歌颂者

## 答疑汇总

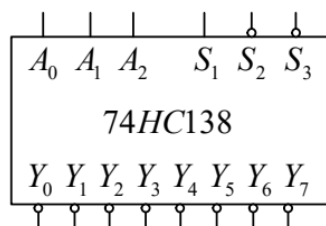
### 7.1 电路图上的圆圈

#### 7.1.1 三种和反相器类似的图形符号分别表示什么含义



其中图 (a) 和图 (b) 都表示反相器，(c) 从逻辑功能上看就可以当成一条导线。同学对于 (b) 中圆圈画在输入端有一些疑问，认为这个是否和“低电平有效”有关，事实上，在门电路中出现的圆圈并不需要多想，就把这里当成有一个反相器即可。对于 (c) 同学有疑问，为什么会有这样的东西出现在电路中，这就要从另一个角度来看了。我们使用反相器的时候，常常是利用其逻辑功能，获得一个逻辑变量的反变量，但实际上，在一些应用中，反相器也被用来作为延迟模块（第三章介绍了逻辑门的动态特性）、缓冲器（第三章介绍常见逻辑门的时候有提及，忘记了的话可以去翻教材），因此一种可能的理由是，(c) 由两个串联的反相器组成，用来为这条支路提供额外的时延（配合其他支路）或者提供缓冲且不影响逻辑功能（只用一个反相器也可以提供缓冲，但是也带来了逻辑变量本身的变化）。这里只是给了一些可能的解释，作为本课程学习来说，作者认为应该已经够用了。如果读者还有兴趣探索，可以查阅一些电子电路相关文献。

#### 7.1.2 中规模芯片图形符号中的圆圈表示什么含义

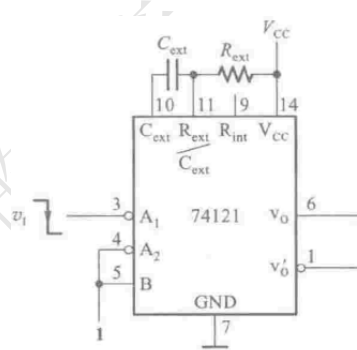


以我们熟悉的 3 线-8 线译码器为例。从逻辑框图中我们看到，这款芯片的输入端有两个圆圈，输出端有八个圆圈。其中，输入端的圆圈我们习惯上称为“低电平有效”，即当该输入为低电平时功能被触发，芯片能够正常工作，这一点可以从功能表上看出（对应地，功能表里相应的变量用反变量表示）。

$S_1$	$S'_2 + S'_3$	$A_2$	$A_1$	$A_0$	$Y'_0$	$Y'_1$	$Y'_2$	$Y'_3$	$Y'_4$	$Y'_5$	$Y'_6$	$Y'_7$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

而输出端的圆圈则表示反变量输出，即输出变量为框图内标注变量的反变量。

然而，也存在一些特例。例如，集成单稳态 74121 芯片。



从 74121 的逻辑框图上我们可以看到输入变量  $A_1$ 、 $A_2$  处都有一个圆圈，但我们观察其功能表可以发现，输入变量  $A_1$ 、 $A_2$  并没有用反变量表示。

输入			输出	
$A_1$	$A_2$	$B$	$v_O$	$v'_O$
0	x	1	0	1
x	0	1	0	1
x	x	0	0	1
1	1	x	0	1
1	↓	1	⌋	⌋
↓	1	1	⌋	⌋
↓	↓	1	⌋	⌋
0	x	↑	⌋	⌋
x	0	↑	⌋	⌋

事实上，这里的圆圈并不表示“低电平有效”，而是强调通过  $A_1$ 、 $A_2$  触发时的方式为下降沿触发。

### 7.1.3 触发器电路 CLK 的圆圈

严格来讲，触发器并不属于中规模逻辑芯片，但事实上这里 CLK 输入端的圆圈和中规模芯片的“低电平有效”是类似的。触发器 CLK 输入端的圆圈表示，该触发器的动作特点和 CLK 输入端不含有圆圈的触发器的动作特点是恰好相反的。具体地，对于电平触发的触发器，CLK 不含有圆圈表示高电平触发，触发器在 CLK 高电平期间接受输入并作相应动作，而 CLK 含有圆圈则表示低电平触发，触发器在 CLK 低电平期间接受输入并作相应动作；对于边沿触发的触发器，CLK 不含有圆圈表示上升沿触发，触发器在 CLK 上升沿到来时刻接受输入并作相应动作，CLK 含有圆圈表示下降沿触发，触发器在 CLK 下降沿到来时刻接受输入并作相应动作；对于脉冲触发的触发器，CLK 不含有圆圈表示正脉冲触发，主触发器在 CLK 高电平期间接受输入并作相应动作，从触发器在 CLK 下降沿到来时刻根据主触发器的状态进行动作，CLK 含有圆圈表示负脉冲触发，主触发器在 CLK 低电平期间接受输入并作相应动作，从触发器在 CLK 上升沿到来时刻根据主触发器的状态进行动作。

## 7.2 考试关于芯片需要掌握哪些

课程中接触到的中规模芯片，除了 74121 和 AD7520，考试都会给出功能表，只需要会识别功能表即可。

## 7.3 555 的内部逻辑图会给吗

往年情况来看，除了 15-16 那套卷子以外都给了。建议读者理解“考点总结”中作者分享的关于如何识别第七章的电路的方法。

## 7.4 分析 CMOS 电路的题目遇到了输出高阻态应该怎么写逻辑函数

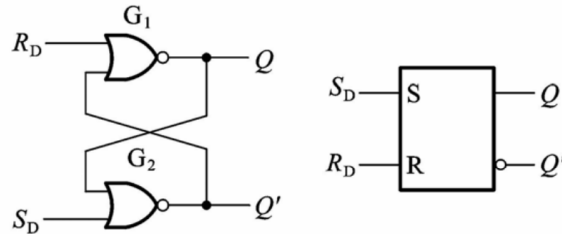
如果分析出电路的输出包含高阻态的话，在写逻辑函数的时候就用  $Z$  表示，画图的时候用  $\times$  表示。

## 7.5 SR 触发器电路分析出“不定”状态波形图应该怎么画

在波形图中相应的时间区间内写上“不定”二字即可。

## 7.6 SR 锁存器的约束条件下的输出与“不定”状态的理解

SR 锁存器有两种常见的电路结构，分别是用或非门和与非门实现。或非门组成的 SR 锁存器电路结构如图

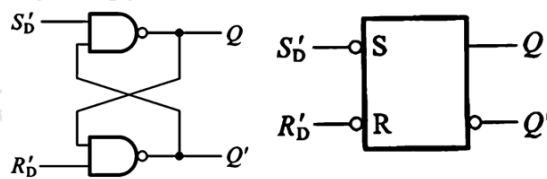


对应的特性表

$S_D$	$R_D$	$Q$	$Q^*$
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>
<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>

其中加粗表示的为受约束的输入。

与非门组成的 SR 锁存器电路结构如图



对应的特性表

$S'_D$	$R'_D$	$Q$	$Q^*$
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>
<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>



其中加粗表示的为受约束的输入。

以或非门结构的 SR 锁存器为例. 当输入  $S_D$  和  $R_D$  为 1 的时候, 由或非门真值表可知, 此时  $Q = Q' = 0$ 。此时我们可以发现, 这样的状态是和我们的设计想法违背的 (如果正常工作情况下,  $Q$  和  $Q'$  的状态应该是相反的), 这一情况也应该引起我们的注意。此时我们分析, 当输入撤去的时候 (输入为高电平有效, 撤去输入即是指, 有效电平消失,  $S = R = 0$ ), 无法判断锁存器次态是  $Q = 1, Q' = 0$  还是  $Q = 0, Q' = 1$ , 即此时锁存器的状态是不确定的, 也就是我们所说的“不定”状态, 也是我们不希望出现的状态 (作为电路设计者, 我们希望电路能够按照我们的设计进行工作, 即每一个状态转变都应该是按照既定路线行进的, 而不应该出现一个设计者无法预期的状态), 此时对应的输入就是约束输入, 也就是 SR 锁存器的约束条件。

此时我们再分析, 当约束输入出现后, 紧接着的输入是有效置位信号, 比如输入置 1 信号 ( $S = 1, R = 0$ ), 此时可以发现, 次态仍然是确定的, 按照置位信号,  $Q = 1, Q' = 0$ 。

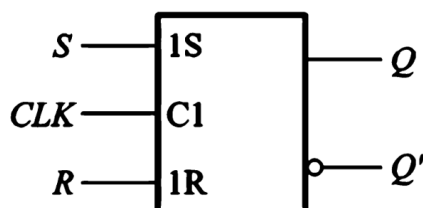
在上面的分析过程中我们发现, 当输入为约束输入的时候, 锁存器的状态是确定的, 只不过不是正常工作状态 (因为  $Q = Q'$ )。而如果当约束输入出现后, 紧接着有效输入全部撤去, 当且仅当这种情况, 才会出现我们说的“不定”状态。而如果约束输入以后, 并没有把有效输入全部撤去, 比如输入置 1 信号 ( $S = 1, R = 0$ ), 则次态仍然是确定的。以上分析也适用于 SR 触发器。

另外, 在实际考试中我们需要基于框图分析, 那么考虑到为了确定  $SR = 11$  时电路状态, 摆在我们面前的一个问题就是, 如何确定电路中的 SR 锁存器是与非门结构还是或非门结构。对于锁存器来说, 输入端低电平有效的为与非门结构,  $SR = 11$  时  $Q = Q' = 1$ ; 输入端高电平有效的为或非门结构,  $SR = 11$  时  $Q = Q' = 0$ 。对于触发器来说, 工程实际中用的和教材上的一样,  $SR = 11$  时  $Q = Q' = 1$ 。

## 7.7 触发器从逻辑图上怎么识别是同步输入还是异步输入

由于我们一般遇到的都是触发器的图形符号表达, 所以主要说明如何在图形符号中识别同步输入和异步输入。在末尾部分我们会简要说明如何在触发器的电路结构图中识同步输入和异步输入。

在触发器的图形符号中, 为了表达同步输入和对应的时钟信号的关系, 会在时钟信号输入处做编号, 而在对应同步输入处使用同一编号。如图所示, 在这个电平触发的 SR 触发器的图形符号中, C1 表示这个时钟信号编号为 1, 1S 和 1R 表示两个输入 S、R 是受到编号为 1 的时钟信号 C1 控制。



对于异步输入，由于其不受时钟信号控制，所以在其输入处没有编号。观察是否有编号即可区分同步输入和异步输入，并确定同步输入和时钟信号的对应关系。

## 7.8 只有一个 $S_D$ 或者 $R_D$

首先说明，对于这类触发器中， $S_D$  是异步置位输入， $R_D$  是异步置零输入。

异步置位输入  $S_D$  的特性表

$S_D$	$Q$	$Q^*$
0	0	0
0	1	1
1	0	1
1	1	1

异步置零输入  $R_D$  的特性表

$R_D$	$Q$	$Q^*$
0	0	0
0	1	1
1	0	0
1	1	0

从原则上讲，分析触发器电路的方法是对照触发器特性表来完成。但有时候题目并没有给出这种异步置位输入和异步置零输入的特性表，所以需要我们掌握。

一种逻辑分析的思路是，如果同时出现  $S_D$  和  $R_D$ ，我们就知道可以当作 SR 锁存器来处理（这里简述一种理解异步输入的观点，就是异步输入  $S_D$  和  $R_D$  作用下的触发器可以看作 SR 锁存器，因为其不受时钟信号控制，即随时可以作用，而且作用方式——特性表，和 SR 锁存器的特性表是一致的）。但如果只出现一个，一种想法是，我们试图确定那个没有出现的输入的取值。

以一种情况为例，比如我们考虑只有异步置零输入  $R_D$  的情形。这时，我们考察对应的  $S_D$  应该是什么值。对于单一变量有两种可能，并且由于没有作为输入出现，那么我们“虚拟”出的  $S_D$  应该始终保持两种取值中的一种。考虑到

- SR 锁存器存在输入约束 ( $SR=0$ )
- 异步置零输入  $R_D$  可能为 0，也可能为 1

所以我们认为，我们“虚拟”出的  $S_D$  应该始终保持 0 才能满足要求。这时，我们再分析这一电路的时候，就可以按照同时出现  $S_D$  和  $R_D$ ——即 SR 锁存器分析（并且  $S_D = 0$ ）。

如果我们观察触发器电路图，我们会发现，异步输入的特征是直接加在输出级门电路上（这也就是在电路结构图中区分同步输入和异步输入的方法），这也符合我们之前的分析——异步输入具有最高优先级，而对于触发器电路来说，输入的优先级体现在和输出之间的“距离”。（这个分析只是一种理解方式，希望能够帮助读者理解相关问题）。

## 7.9 二极管电路应该如何分析

首先分享一个分析半导体电路的基本原则：**先确定半导体元件的工作状态再使用电路模型进行分析。**

**电路模型：**二极管常见三种模型，开关模型、恒压降模型、折线模型。注意，如果题目给了 U-I 特性曲线，则要特别注意，此时大概率是不能用模型近似分析（因为其 U-I 特性和外部电路相比不再可以进行简单近似）。

**模型选择：**要看外部电路的戴维南等效电路的电源、电阻和二极管“导通电压”、“导通电阻”的关系。如果外部电源和电阻都很大，那二极管的相应参数可以忽略，即可以使用开关模型，其他几种情形类似，请同学们自己分析。另外，如果题目给了二极管的参数曲线，那就需要在其  $U-I$  曲线上画出负载线找交点，为工作点。多二极管电路分析：遵循“优先导通”原则。这个分析方法可以用一个递归算法建模，假设二极管都是一样的，初始情况是假设所有二极管开路，然后分析每个二极管的正向开路电压，若其中  $V_{max} > V_{TH}$ （管子导通电压），则该管子导通，下一步是，将该管子用导通模型代替，然后其他管子依旧保持开路，分析其他  $n-1$  个管子的开路电压，和第一步的处理方式类似。这样迭代下去，终止条件是， $V_{max} < V_{TH}$  或者所有管子都导通了。在答疑的时候，讲到这里有同学问道“如果两个管子的开路电压相同怎么办”。这是一个好问题，我们先给出答案再进行具体分析。如果这两个管子的导通压降不同（对应上述模型，如果提供 UI 特性也可从曲线上分析）那么导通压降小的优先导通（例如硅管和锗管）；如果两个管子完全一样（但在实际中这样的问题不会出现），那么就同时导通或者截止。事实上，我们知道半导体元器件具有非线性的 U-I 特性，而且容易受温度等自然条件的影响，所以在实际场景中并不会出现所谓完全一模一样的管子。换句话说，如果考试题目中需要我们分析多个二极管电路，那么题目中给出的一模一样的管子他们的开路压降一定是不同的，以规避这种由于“近似”带来的问题。

基于此，我们可以便捷地分析二极管与门电路和或门电路。

## 7.10 译码器的功能扩展是否可以自己用门电路搭成译码器 对每一片的 $S1$ 进行筛选

从逻辑功能上是可行的，但是从电路设计角度看这并不是最优解。教材上给出了 3 线-8 线译码器的功能扩展方式，其使用的额外门电路更少，并且保留了原有的控制输入端方便进一步扩展。这些原则希望读者在解决功能扩展问题时能够记住。

## 7.11 门电路/芯片的输出端在考试时候的处理

按照题目的要求进行标注输出，例如进位输出（一般一个一分）。

没有用到的输出千万不要处理，留在那里就好（注意和输入的区别，每个输入都需要处理）。如果不小心对输出并联或者连接到固定的电平，那么恭喜你可以准备点肉串借着管子吃烧烤了。

在我们这门课学习过的门电路中，只有 OD 门和三态门可以并联。

## 7.12 画波形图的时候是否需要画时间线

不是必要的，但在关键时间节点处画时间线是一个好习惯，可以帮助我们减少出错概率，同时方便阅读，避免不必要失分。

## 7.13 CLK 是输入信号吗

不是，CLK 是触发信号（即使有时候习惯上称其为时钟输入）。

## 7.14 电路图中交叉线彼此是否连接应该如何判断

如果有实习圆圈表示交叉线在交叉处彼此相连，反之则表示不相连。

## 7.15 有的计数器电路里面进位输出看起来很奇怪

事实上，我们要理解，进位信号的功能是用来触发高位片的动作。例如，采用边沿触发，则只需要保证恰好在需要动作处产生动作沿的都可以作为进位信号。

## 7.16 时序逻辑电路设计中驱动方程的化简是否需要建模为多输出逻辑函数化简

不需要，我们只需要将其建模为一般的逻辑函数化简，即单独得到每个驱动方程的最简与或式就是标准答案了。这是由于该问题的工程实际决定的。

## 7.17 画状态转换图/表以及时序图的时候无效状态要不要画

在画状态转换图/表的时候，所有状态都要画。在画时序图的时候只需要画有效循环。

## 7.18 在最小项之和的标准型中一个最小项同时以无关项出现怎么办

由无关项的定义可知，按照无关项处理。

## 7.19 门电路如果输入悬空怎么办

对于二极管门电路和 TTL 门电路，由于存在输入端负载效应，输入悬空相当于高电平输入。对于 CMOS 门电路，输入端悬空时会因为静电感应导致击穿，电路无法正常工作。

## 7.20 什么时候算得上最简

组合逻辑电路部分，逻辑门个数最少即为最简。时序逻辑电路部分，触发器数量最少，逻辑门数量尽可能少（我们求解驱动方程的时候得到最简与或式即可）。

## 考试温馨提示

1. 考试建议带着计算器，铅笔，橡皮和直尺。作图的题目建议用铅笔直尺作图，避免因修改导致卷面不清晰。如果不习惯的话，建议使用中性笔、钢笔的同学在作图前在草稿纸上确认好再落笔，不要在试卷作图上随意涂抹，也不要用  $\times$  来表示订正，因为  $\times$  有其特殊含义。所有出现连线交叉的地方，一定要注意，如果是二者连接，则用实心圆圈标识。
2. 考试时候遇到题目有歧义、印刷不清楚等问题可以举手提问，我看到后会回复。如果题目本身不存在问题，则会和你说明情况，并且不会作额外的解释。另，建议大家举手提问前先想清楚，避免沟通时间长影响你的答卷时间，也影响其他同学。
3. 考试时间一般是两个小时，如果因为特殊情况（比如题量过大）延长会尽量提前和大家讲。拿到试卷以后不要着急落笔，先整体看一下试卷，做好时间规划。在答题过程中把握时间，适当取舍，有舍才有得。
4. 逻辑函数化简题目一定要先检查题目是否指定方法，如果是的话则必须使用题目指定的方法求解。并且要注意检查化简的目标，例如如果题目要求化简得到最简与或非式，不可忽略要求仅仅给出最简与或式。如果指定了使用公式法，尽量把化简的过程表达清楚（最好不要直接给出化简的结果），如果没有思路的话可以在草稿纸上用卡诺图法进行化简，确定合并的最小项属于该逻辑函数的哪些“部分”，从而明确化简应该使用的公式，如果还是不能解决的话就把逻辑函数表达成最小项之和的形式然后按照卡诺图画圈的方式使用“并项法”进行化简（不推荐优先使用这种方法）。
5. 矩形轮廓符号表达虽然不常用，但是也要掌握，如果题目中出现要能认识。
6. CMOS 电路识图问题注意不要想当然，传输门的两个输入端不一定是同一个信号的原变量和反变量来控制，三态门的控制不一定是高电平有效，三态门的输出不一定有反相器。如果采用真值表法分析 CMOS 电路，注意看清楚管子的类型，不一定在上面的就是 P 管。
7. 组合逻辑电路功能分析没有固定方法，我给大家的经验性总结也不能保证完全解决这类问题（如果实在看不出来就按照“其他”类处理）。这类问题可能难度较大，而且分值不高，如果做题时候遇到困难，适当取舍。

8. 组合逻辑电路设计题目，如果题目没有完成逻辑抽象过程的话，一定要注意自己首先完成逻辑抽象，再进行进一步的设计。这一点是非常容易丢分的。
9. 组合逻辑电路设计题目一定要注意器件选型问题，必须按照题目要求来实现。如果题目要求用中规模芯片实现，注意是否需要功能扩展。
10. 注意检查译码器、数据选择器的功能扩展是否掌握。涉及功能扩展的题目要注意功能扩展输入端的作用，以及为了后续进一步功能扩展，相应的端子最好能够保留。
11. 所有要求用中规模芯片设计的题目（例如，译码器，数据选择器，计数器等），一定要注意，所有控制输入端一定要设置合适的输入电平。虽然对于 TTL 电路来说悬空等效高电平输入，但是不建议在考试时候对任何输入悬空（避免不应该悬空的地方因为遗漏或者知识点掌握出错对 CMOS 悬空等）。同时，题目要求的所有输出都要标注好，比如用数据选择器设计逻辑函数，不要想当然认为芯片输出端就只有一个就不用标注了。
12. 触发器电路分析作图题目，注意异步 CLK、异步置零、异步置数、脉冲触发的 JK 触发器一次翻转、SR 触发器“不定”问题。在作图的时候注意 CLK 对齐，适当地用对齐虚线表示时钟关系。
13. 时序逻辑电路分析和设计题目，注意变量要和题目所给的保持一致，例如题目给出  $Q_3Q_2Q_1Q_0$ ，在自己做题的时候不要写  $Q_4Q_3Q_2Q_1$ 。
14. 时序逻辑电路分析题目，注意题目要求，到底是列状态转换表，还是画状态转换图。如果画状态转换图，注意给出状态变量。不要忽略自启动检查的要求。
15. 计数器题目解题时候，首先检查芯片的功能（例如，到底是四位二进制计数器还是十进制计数器），然后检查置零和置数输入到底是同步还是异步，这影响了设计任意进制计数器时候的状态转换图设计。
16. 时序逻辑电路设计题目，注意题目是否指定状态编码。同时注意检查一下，习题课讲的驱动方程求解方法是否掌握。
17. 时序逻辑电路设计题目，注意题目是否要求自启动，如果是的话要在完成基本的设计流程后，检查自启动（要有适当的过程呈现在卷面上），如果可以自启动则无需进行其他操作，如果不能自启动则需要修改电路设计（无关项重置以改变状态转换关系）。
18. 时序逻辑电路设计画电路图的题目，建议把所有触发器状态变量和反变量都单独在画纸的一侧排列整齐，上方标注该线对应的信号，并和对应的信号正确连接。并且在正确设置好每个触发器的输入后，检查触发器的触发方式是哪一种（例如，题目中给出波形图显示触发器动作特点是在下降沿动作，则触发器的触发方式一定是下降沿触发或者正脉冲触发），这一点是很容易忽略的。

19. 单稳态电路注意，如果是用 555 实现，其输入端不存在微分电路，因此需要严格遵循输入“窄脉冲”的要求。如果不满足要求，则要注意，此时电路工作状态需要特别分析。
20. 74121, AD7520 的功能表考试时候可能不会给出，需要自己记忆。其他中规模芯片的功能表都会给，需要能够读懂，例如区分同步输入和异步输入。
21. 555 的电路图考试一般会给出，如果不放心的话也可以自己熟悉一下。

考前能够做到把本书中列举的考点都熟练掌握，考试一定会顺利的。祝愿各位同学能够在数电课程考核中取得满意的成绩！



## 后记

也许有一种莫名的缘分吧，从第一次为谢老师做数理方程课程助教起，已经做了四年共八个学期的课程助教，其中四个学期担任数字逻辑电路课程助教。担任课程助教是想尽自己的一点力量为学校的教学工作做一点贡献，同时，在这个过程中也收获了很多，遇到了很多优秀的人，也不断提升自己。一个很深的感触是，从第一次做数字逻辑电路课程开始，在准备习题课、为同学们答疑、批改作业和试卷的过程中，自己对于这门课程的理解逐渐深入，在帮助同学们学习的经验也越来越丰富。在 2022 秋那个特殊的学期为了帮助同学们寒假学习，经过思考和尝试，将《数字逻辑电路复习宝典》终于成书，并在 2023 秋将复习宝典再版，也供未来学习这门课程的同学使用。如果有错误指正等，欢迎和作者联系，同时也欢迎交个朋友。QQ: 2209823112。