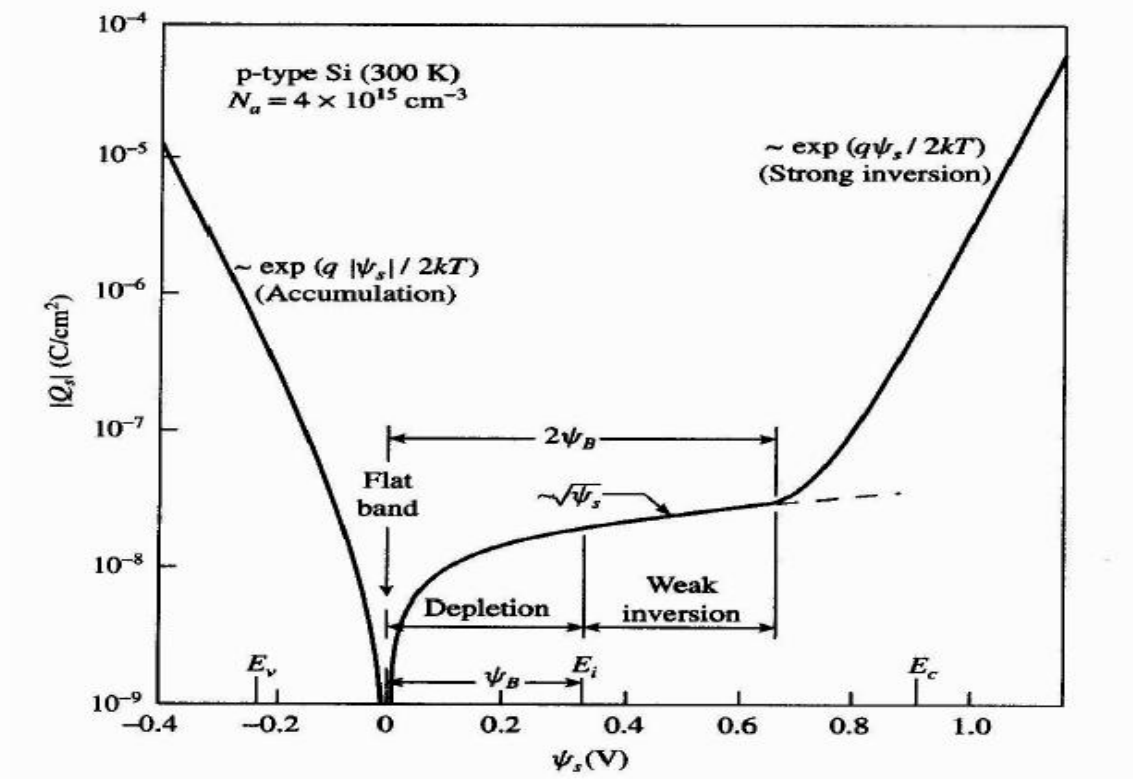
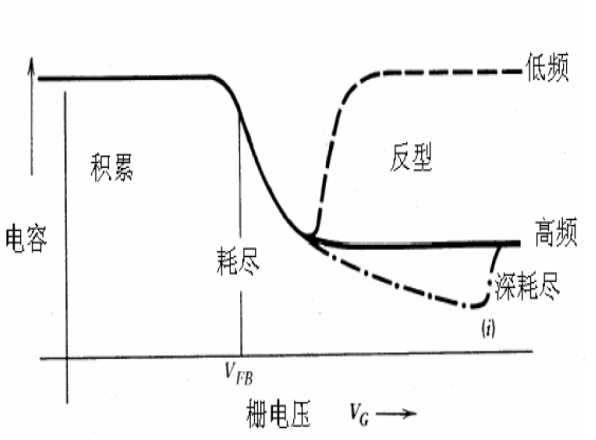
MOSFET

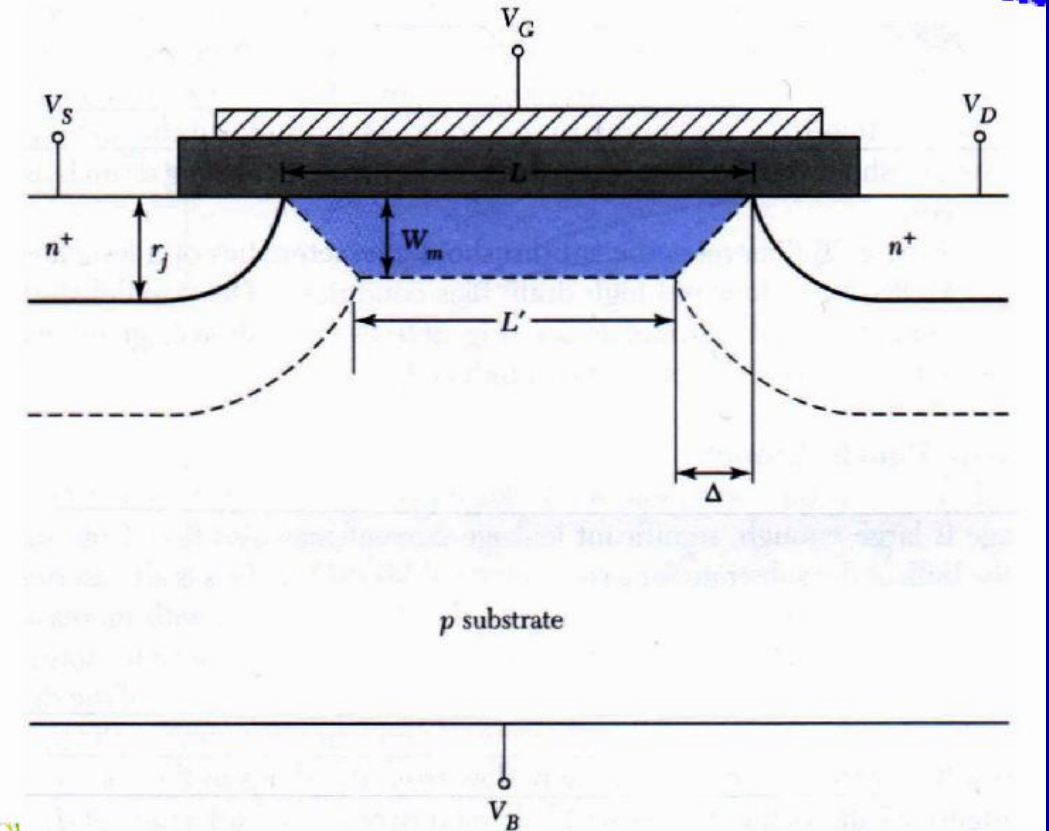
1. MOSFET：与JFET和MESFET栅压控制导电沟道截面积不同，MOS器件栅压控制的是导电沟道的载流子浓度。理想MOSFET：零偏压下,能带是平的。2）任意偏置下，二极管中只有两部分数量相等但符号相反的电荷：半导体中的电荷和靠近氧化物的金属表面上的电荷。3）在直流偏置下，氧化层中没有载流子输运，或者说氧化物的电阻无限大。

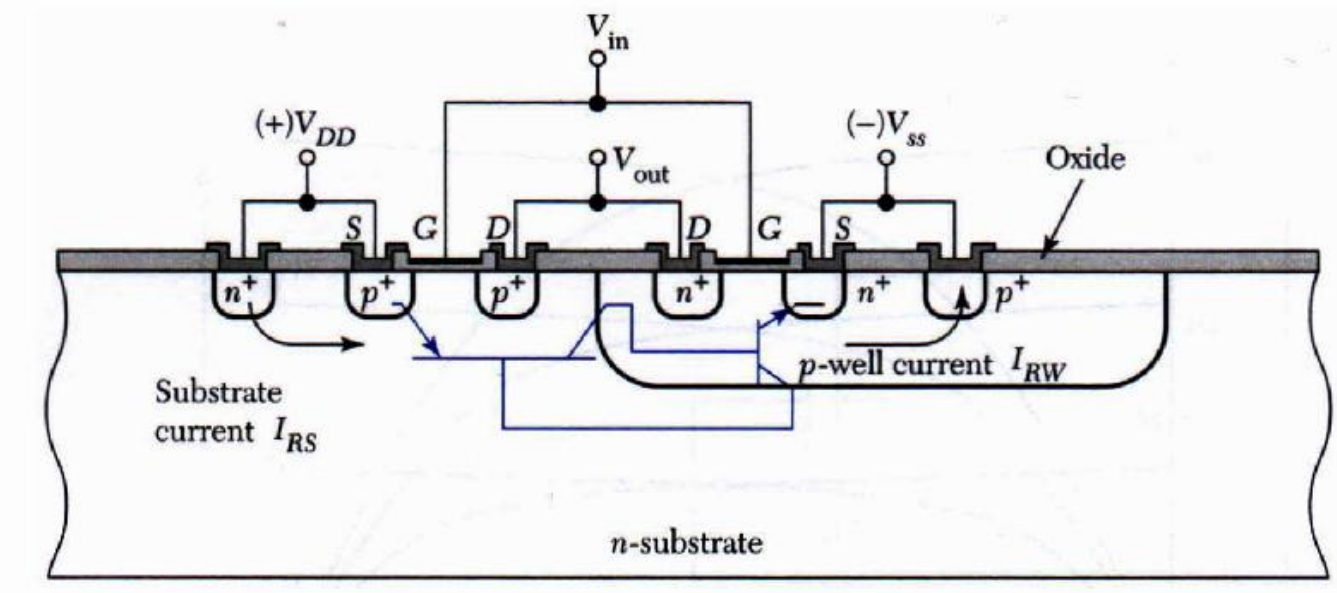
2. 平带电压：VFB1：用来抵消功函数差的影响：。：相对于本征费米能级定义的半导体材料的费米势。多晶硅作栅一般是高掺杂的，因此费米能级靠近导带底或价带顶的，此时，即。其中，p型取＋，n型取－。VFB2：用来消除有效界面电荷的影响：SiO2层内部及SiO2/Si界面存在电荷，基本分类：界面陷阱电荷，氧化物固定电荷，氧化物陷阱电荷和可动离子电荷。界面陷阱电荷Qit：归因于SiO2/Si界面性质，并取决于该界面的化学组分，在SiO2/Si界面上的陷阱，其能级位于硅禁带之内，和晶面取向有关。氧化物固定电荷Qf：位于SiO2/Si界面约30Å范围内，在表面势大幅度变化时也不能充放电，Qf通常是正的，并和氧化、退火条件、Si晶面取向有关。氧化物陷阱电荷Qot：和SiO2的缺陷有关，分布在SiO2层内，和工艺过程有关的Qot可以通过低温退火除掉大部分。可动离子电荷Qm：如Na＋等碱金属离子，在高温和高压下工作时，它们可以在氧化层内移动。因此，在器件制造中，要防止可动离子的玷污。为简化分析，常假定它们都固定在SiO2/Si界面上，其面密度为Q0，对SiO2/Si系统，无论是p型衬底或n型衬底，Q0总是正的，在现代工艺水平下可低至10-10C/cm-2。Q0将在金属和半导体中感应极性相反的电荷-Q0，因此必须在金属上提供全部所需的-Q0，即除了，还有>电源的负极与金属相连，Cox是栅氧化层的单位面积电容，其中εox、dox分别为栅氧化层的介电常数和厚度。

3. 表面势：热平衡时，表面处的电子浓度和空穴浓度用ΨS表示为：，4. 电势平衡和电荷平衡：电势平衡方程：。其中VGB为栅衬底偏压，ψox是栅氧化层上电压，ψS是表面势。电荷平衡方程（电中性条件）：。其中，QG是栅电荷， ，QS为表面层电荷，Q0是有效界面电荷。单位为C/cm2。由于Q0是不变的，因此。

5. 半导体表面状态：积累：ψS <0。电场方向：体内→表面。耗尽：ψS >0。电场方向： 表面→体内。，。。。。强反型：当外加栅电压增加到某一值（VG>>0）时，能带向下弯曲到使表面处的Ei在EF下方的高度正好等于半导体内部Ei在EF上方的高度。也就是说表面处N型层的电子浓度正好等于P型衬底的空穴浓度。这就是“强反型”条件。。。。讨论：（1）表面势φS=0时，表面与体内的电势相同，即为平带条件。这是“表面积累”和“表面耗尽”两种状态的分界；（2）φS=φB时，Ei和EF在表面处相交，表面处于本征状态。这是“表面耗尽”和“表面反型”两种状态的分界；（3）φS=2φB时，是“弱反型”和“强反型”的分界。对于MOSFET说，最令人关注的是处于反型的表面状态。当栅偏压VG>>0时，P型半导体表面的电子浓度将大于空穴浓度，形成与原来半导体导电类型相反的N型导电层，它不是因掺杂而形成的，而是由于外加电压产生电场而在原P型半导体表面感应出来的，故称为感应反型层。这一反型层与P型衬底之间被耗尽层隔开，它是MOSFET的导电沟道，是器件能否正常工作的关键。反型层与衬底间的P－N结常称为感应结。当VS >2VB , 半导体表面出现反型层(MOS器件中称为沟道), 即电子势阱。当势阱宽度足够窄,势阱中的电子即称为一维电子势阱中的2DEG：势阱中的电子在平行于界面(势阱壁)方向的运动, 可视作二维准自由电子的运动; 在垂直于界面(势阱壁)方向的运动, 必须考虑量子效应——能量量子化.

6. C－V特性：。积累：。耗尽：。强反型：。高频C-V特性：表面积累,表面耗尽,高低频特性一样。VG>VT, VS>2VB, 表面强反型,高频时,反型层中电子的增减跟不上频率的变化,空间电荷区电容呈现的是耗尽层电容最小值。MOS结构的电容也呈现最小值不再随偏压VG呈现显著变化。反型层电荷主要由少数载流子决定，在低频时，它随电场的变化而变化，反型层电容起重要作用。当频率高于某一频率值时，反型层电荷（少子电荷）将不能交变信号，即少子的产生复合的速度跟随不上电场频率的变化，于是反型层电荷将不随交变电场变化，这意味着与反型层电荷相关的交变电容为0。响应时间。深耗尽状态：当偏压VG的变化十分迅速, 且其正向幅度大于VT , 则:即使表面势VS>2VB,反型层也来不及建立, 耗尽层宽度随偏压幅度的增大而增大--深耗尽状态当表面处于深耗尽--随VG增加, d增加(>dM), MOS结构的电容不再呈现为最小值.7. 阈值电压VT：使衬底表面（半导体表面）强反型时所需加的栅压VG称为阈值电：压。阈值电压VT应当由三部分组成：（1）抵消功函数差和有效界面电荷的影响所需栅压即平带电压VFB（2）产生强反型所需表面势（3）强反型时栅下表面层电荷Qs在氧化层上产生的附加电压，通常近似为。。NMOS：，。PMOS：，。离子浅注入：，其中，NI是注入剂量，单位：/cm2，注入p型，取“＋”；注入n型，取 “－”。施加反向衬底电压：，。氧化层厚度对VT也有影响。当dox增加时，栅压对半导体表面的控制作用减弱，为使表面形成导电沟道，需要更大的栅压即阈值电压VT增加。这一点对MOS器件以外区域的半导体表面十分重要，这些区域称为场区。场氧化层比栅氧化层厚得多。场区的阈值电压可高达几十伏，比栅压大一个数量级，适用于MOS器件之间的隔离。为了防止寄生沟道的产生，场区必须进行高浓度掺杂，使表面不容易反型，从而将沟道隔断开。由于Qox总呈现为正电荷效应，因此常规工艺作出的P沟MOSFET的阈值电压只能是负的，即总是增强型的。Qox对VT影响很明显，随Qox的增大，VT向负值方向增大。在NA（或ND）衬底掺杂一定时， Qox过大将会使器件由增强型变为耗尽型，因此减少氧化层电荷，降低MOSFET的VT是制作高性能器件的一个重要任务。阈电压与氧化层电容（COX）还有关系，减小厚度以增大电容就可以降低阈电压。但过薄的氧化层给工艺带来更多的困难（如增加针孔等），可以选用介电常数更高的介质材料，如氮化硅（相对介电常数为7.5）介质就是一例。8. 直流特性：假设：（1）一维近似。源区和漏区以及沟道边缘的耗尽层都忽略不计，只考虑沟道中的电流及电压沿y方向的变化。（2）沟道区不存在复合产生电流。（3）反型沟道内的掺杂是均匀的。（4）沟道内的扩散电流比电场引起的漂移电流小得多，且沟道内载流子的迁移率为常数。（5）强反型近似，即当半导体表面能带弯曲量为2ΦB，沟道开始导电。（6）沟道与衬底间的反向饱和电流很小，可以忽略不计。（7）不考虑源区和漏区的体电阻以及接触电阻。（8）采用肖克莱的缓变沟道近似模型，即假设跨过氧化层的垂直于沟道方向的横向电场Ex与沿着沟道方向的纵向电场Ey独立无关，且沿沟道长度方向的电场变化很慢，即。。线性区/非饱和区萨氏方程：，，。饱和区：沟道被夹断，超过VDsat的那部分外加电压即（ VDS-VDsat）降落在夹断区上，而夹断区是已耗尽空穴的空间电荷区，因此在夹断区中产生强电场。当夹断区上电压降（VDS-VDsat）增大时，夹断区长度扩大，有效沟道长度Leff缩短。沟道夹断时的漏电压：，，，。9. 亚阈值区：一般把栅压低于阈值电压时的漏电流称为亚阈值电流。对应的工作区称为亚阈值区。亚阈值电流的存在，使器件截止时的漏电流增大，影响器件作为开关应用时的开关特性，并增大了静态功耗。亚阈值区漏电流主要为扩散电流：。亚阈值斜率参数。当MOSFET处于弱反型区（亚阈值区）时，其漏电流除了来源于弱反型沟道中载流子的扩散电流外，反偏漏结的反向电流也是其组成部分。但漏结的反向电流通常只有10-12A的数量级，而弱反型的沟道电流都可以达到10-8A的数量级。10. 直流参数：阈值电压VT略。饱和漏电流IDSS略。截止漏电流等于P-N结的反向饱和电流，对于N沟MOSFET，在二氧化硅绝缘层中总是存在正电荷，如果正电荷密度很高，就可能在栅氧化层或场氧化层下面感应出微弱的反型层，产生表面漏电流。一旦这种弱反型层与器件的缺陷相连或延伸到晶片周围，就会产生可观的漏极电流。导通电阻。栅源直流输入阻抗：栅源两极为MOSFET的输入电极，因而MOSFET直流输入阻抗就是栅源直流绝缘电阻RGS。由于金属栅极与半导体层隔着一层绝缘性能良好的栅氧化层，所以RGS主要就是栅极下SiO2层的绝缘电阻。只要栅氧化层上没有严重的缺陷， RGS 一般都可以达到109Ω以上。所以当其上加上电压后,栅极电流非常小。对于生长的二氧化硅，栅电流约为10-10A/cm2，因此，MOSFET的输入阻抗是非常高的，大约在1014—1016Ω,这正是单极型晶体管优越于双极型晶体管的重要标志之一。在短沟道器件中,为了获得长沟道的电学性能，往往要求栅氧化层厚度很薄，这时，能量接近于金属栅电极费米能级的电子就可能隧穿二氧化硅的禁带而进入金属栅极，从而增大了栅电流。以及漏—源击穿电压，穿通电压和栅一源击穿电压。最大耗散功率PCM：MOSFET的耗散功率为PC=VDS×IDS。耗散功率将转变为热能，使器件温度上升，从而其性能变坏，甚至不能正常工作。为保证MOSFET正常工作而允许耗散的最大功率称为最大耗散功率PCM。MOSFET的功率主要耗散在沟道区（特别是沟道夹断区），因而提高PCM主要是要改善沟道到衬底、到底座、到管壳间的热传导及管壳的散热条件。11. 直流参数：栅跨导gm略，为了得到高跨导的MOSFET，在给定材料和氧化层厚度的条件下，必须增加沟道的宽长比（Z/L），且主要是增大沟道宽度，以获得所需的漏极电流和跨导值。当沟道长度L很小或栅氧化层厚度d很薄时，跨导可能变得非常大。然而实际研究结果表明，跨导的理论最大极限值为（qI/KT）。实验发现，饱和区跨导gm随VGS上升而增加，但VGS上升到一定值时， gm反而会下降。栅压较低时，μ n可看作常数。当栅压升高时，跨导随栅压增大而上升速率变慢。这是由于μ n随栅电场增强而下降，对VGS的增大起补偿作用的结果。当栅压增加到μ n下降使β 因子的减小同VGS增大的作用完全抵消时， gm达到最大值。之后， VGS继续增加，μ n下降起主要作用。因此，实际MOSFET在栅压VGS比较高时，跨导gm反而随VGS增大而下降。当漏源电压较高，漏电场较强时，强场使载流子迁移率下降，漏电流减小。可以证明：由于高场迁移率的影响，gm下降为弱场时的。当VDS增大到沟道电场达到EC时，载流子漂移速度达到极限值vSL，跨导达到最大值：。源区漏区串联电阻RS、RD对跨导的影响实际MOSFET中，源区、漏区都存在体串联电阻，电极处存在欧姆接触电阻等。使实际加在沟道区的栅源电压和漏源电压低于外加电压，由此导致实际跨导低于理论值。加在有源区上的实际有效漏源电压和栅源电压分别为VDS和VGS ，外加电压分别为V’DS和V’GS。，。提高跨导的关键是增大β 因子,而提高β 因子主要有以下几个方面：① 提高载流子沟道迁移率，即选用高迁移率材料，并用表面迁移率高的晶面。② 制作高质量、薄的栅氧化层，以增大栅电容Cox③ 尽可能采用沟道宽长Z/L比大的版图。④ 减小源漏区体电阻和欧姆接触电阻等，以减小串联电阻。衬底跨导gmb。漏电导gd。

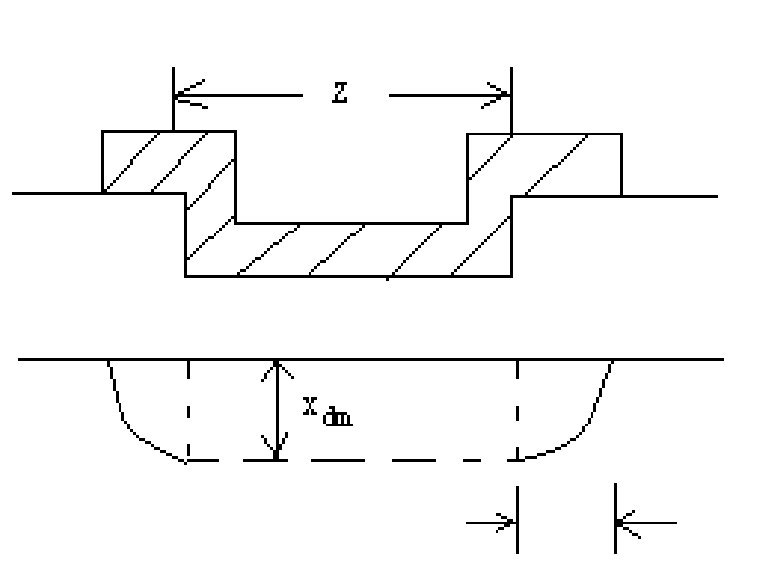
12. 有效沟道长度调制效应：随着VDS超过VDSat，沟道出现夹断，并随着VDS的进一步增加向源端移动，漏端耗尽区宽度增加，有效沟道长度Leff减小，沟道电阻也减小，导致漏电流增大。这种有效沟道长度随VDS增大而缩短的现象称为有效沟道长度调制效应。漏感应势垒降低效应（DIBL效应）：对于衬底电阻率较高的MOSFET，当VDS>VDSat时，漏区－衬底的P-N结耗尽层宽度大于或接近于有效沟道长度。这一现象在沟道长度较短时尤为显著。因此起始于漏扩散区的电力线的一部分将通过较宽的耗尽区而终止于沟道区。这相当于漏一沟道间有相当大的耦合电容存在。这样，当漏源电压增加时，耗尽区内的电场强度亦随之增加，必然引起沟道内的感生电荷相应地增加，以终止更多的电力线。因而沟道电导增大。由于有效沟道的电压基本维持在VDSat值上，所以沟道电流将随漏电压VDS的增大而增大，这就是漏区与沟道区的静电反馈效应。漏区起着第二栅的作用。由于电力线会穿越漏到源，引起源端势垒降低，从源区注入沟道的电子增加，导致漏源电流增加，通常称该过程为漏感应势垒降低DIBL。对一定的VDS，器件的沟道长度L越小，DIBL效应越显著，漏极电流增加越显著，导致器件不能关断。DIBL是MOS器件尺寸缩小的一个基本限制，是漏电压VDS引起的沿沟道方向的电势分布使源和沟道间的势垒降低。当短沟道器件工作在阈值电压附近时，DIBL效应非常严重。13. 高频特性：跨导截止频率ω gm：跨导下降到低频时的2-1/2对应的频率称为跨导截止频率。跨导截止频率实际上来源于通过等效沟道电阻对栅源电容充电的延迟时间。提高跨导截止频率ω gm，应选用迁移率大的p型材料作衬底，缩短沟道长度和减小阈值电压。截止频率fT：定义fT为输出端交流短路时MOSFET的输出电流和输入电流相等时的频率。又称为增益带宽乘积 。（非饱和区）（饱和区）。提高MOSFET的截止频率的关键是减小沟道长度，但L的减小将受到源漏穿通和短沟道效应（后述）的限制。另外，fT与沟道中载流子迁移率μ成正比，所以在条件相同情况下，N沟道MOSFET要比P沟道器件的高频特性好。因此，高频MOSFET都用N沟道做。此外，减小阈电压或提高栅压也有利于改善频率特性。还要注意的是尽量减小寄生参量。响应时间：由MOSFET的工作机理的分析可知,其响应速度受 到三个因素的限制：①载流子渡越沟道所需要时 间的限制。这是对器件速度的基本限制；②本征 栅电容充放电时间常数的限制；③寄生电容的时 间常数所引起的限制。为简单起见，只考虑饱和条件下第①个因素对速 度的限制，即考虑载流子从源端沿沟道到达漏端 所需要的时间（称为沟道渡越时间），记为τ。。提高MOSFET频率特性的途径：（1）提高迁移率用（100）方向的p型Si作N沟MOS，增加表面工艺，改善表面迁移率。采用离子注入获得高迁移率的埋沟结构，不受表面散射影响。（2）缩短沟道长度L沟道渡越时间减小，从而使提高频率特性。（3）减小寄生电容Cgs’、Cgd’，采用自对准结构、偏置栅结构、双栅结构、SOI结构等。14. 击穿特性：MOSFET产生击穿的机构主要有两种：漏源击穿和栅（绝缘层）击穿。其中，漏源击穿又分雪崩击穿和势垒穿通两种。1、 漏源击穿分为漏源雪崩击穿和漏源势垒穿通两种（1）漏源雪崩击穿其中，漏源雪崩击穿又分为漏-衬底PN结雪崩击穿和沟道雪崩击穿（沟道击穿）（a）漏-衬底PN结雪崩击穿。一般情况下，MOSFET的源极与衬底相连，在漏源间施加电压VDS就等于在漏－衬底PN结上施加反向电压。当VDS很大时，PN结耗尽区中电场强度变大，到VDS达某一数值后，耗尽区中就会出现雪崩击穿。从特征上看，它和PN结击穿完全一样，击穿电压在很大程度上依赖于结的高电阻侧的掺杂浓度，同时也受到漏扩散区曲率半径的影响。 但实测结果表明，典型MOSFET的漏源击穿电压远低于理论计算值。原因是：金属栅电极的边缘总有一部分覆盖在漏扩散区上，而栅源电压的大小就对这一部分的电场分布产生很大的影响，从而影响漏源击穿电压。由于金属栅电位低于漏电位，于是在栅－漏区的棱角处形成了附加电场。通常的栅氧化层厚度d要比PN结耗尽层厚度小很多，所以这个附加电场往往比PN结耗尽区电场强得多，增大了栅下覆盖区pn结耗尽区中的总电场，因而使漏源击穿电压大大低于单一PN结的击穿电压。考虑到栅极影响后，MOSFET的漏源击穿电压不仅很低，而且对N沟MOSFET，BVDS随正栅压的增加而增大，对P沟MOSFET，BVDS随负栅压的增大而增大。• 实验表明，当衬底电阻率大于一定数值（为1Ω·cm）时，BVDS基本上与衬底电阻率无关，即与衬底掺杂无关，取决于结深、栅电位的极性和大小、栅介质膜厚度及电极覆盖等，由覆盖区附加电场的大小决定。所以由于栅极对漏击穿的调制作用，实际MOSFET的漏源击穿电压的典型值只有2~40V，这种情况称为“栅调制击穿”。（b）沟道雪崩击穿（沟道击穿）多发生在短沟道MOSFET中，漏源电压在沟道中建立起较强的横向电场。器件导通后，沟道中快速运动的载流子通过碰撞电离和雪崩倍增效应产生大量电子－空穴对，在沟道漏端夹断区这一现象更明显。对NMOS，雪崩倍增产生的电子被漏极收集，导致漏电流剧增而击穿。空穴被衬底吸收，成为寄生衬底电流的一部分。PMOS则正好相反。雪崩注入现象：雪崩击穿后，IDS－VDS曲线向高电压方向蜕变的现象。利用这种现象制作浮置栅雪崩注入MOS器件（FAMOS），广泛用于MOS存储器中，并制成了EPROM等。（2）漏源势垒穿通当MOSFET的沟道长度足够短，而衬底掺杂足够低时，漏源电压足够大时，即使漏与衬底间还未发生雪崩，但漏区的耗尽层已展宽到与源区耗尽层相连，这一现象就称为漏源穿通。在穿通条件下，源漏间耗尽区里虽然没有可动载流子，但高掺杂区内的大量可动载流子可以直接由源区注入到耗尽的沟道区，而被耗尽区中的强场扫向漏极，形成大电流状态，从而出现穿通效应。对于在高电阻率衬底上制成的重掺杂浅扩散漏区，其耗尽区宽度可用突变结近似求得，当耗尽区宽度W等于沟道长度L时，穿通效应发生，对应的漏源电压就是穿通电压。即。衬底掺杂浓度愈低，沟道长度愈短，就愈容易出现源-漏穿通现象。考虑上述因素后，MOSFET的漏源击穿电压应由漏结击穿电压（漏源雪崩击穿电压和沟道雪崩击穿电压）和漏源势垒穿通电压中最小的一个来决定。栅击穿：MOSFET中的栅压击穿实质上就是栅氧化膜的击穿。当栅源电压或栅漏电压超过一定限度时就会引起栅氧化膜击穿,使栅金属与下面的硅发生短路，造成永久性破坏。所以在MOSFET的使用中，栅极上不能加过高的电压。实践证明，氧化膜的击穿电压与其厚度成正比。氧化膜发生击穿的电场强度EmB约在5×106~107V/cm之间。一般MOSFET的栅氧化膜厚度d约为100nm~200nm，由于氧化膜质量的差异，即使对同样厚度的氧化膜，其击穿电压也有所不同。对于热生长的氧化膜，认为氧化层内电场大于8×106V/cm时就会引起介质击穿。这样，栅源击穿电压可近似表示为。表面上看来，栅击穿电压并不低，但实际上很容易被击穿，这是因为栅与半导体之间构成了一个MOS电容器，其电容量很小，通常只有n个pF，且膜的绝缘电阻很高。因此，静电荷容易在栅极上积累造成较高的栅电压，从而引起栅氧化膜击穿。例如，对100nm厚的氧化膜，若CG=1pF，则QG=8×10-11C的栅电荷就会产生VG=QG/CG=80V的栅压，使氧化层击穿。所以MOSFET在测试使用过程中，都必须十分小心，以防栅击穿，存放时应使各电极间短路。为防止静电对栅介质的损坏，可采用两种方法来避免器件在测试，使用和存放中可能受到的偶然破坏。一是测试使用中设备要妥善接地，焊接时烙铁也应有地线保护，操作人员应力戒将电荷引进栅电极，保存时用导电材料将各电极间短路；二是在输入端引入保护二极管，一般是用齐纳二极管或穿通二极管。把齐纳二极管的击穿电压设计成低于栅击穿电压即可起保护作用；穿通二极管一般是和栅电极并联即可。15. 功率特性：高频功率增益定义为器件工作在高频状态下，器件的输入端及输出端各自共轭匹配时，输出功率与输入功率之比。也是最佳高频功率增益。。输出功率。欲提高MOS器件的输出功率，应提高漏源击穿电压、漏极电流，并降低饱和压降。MOS器件的最大输出功率也受到器件散热能力的限制。MOS器件的发热中心在漏结附近的沟道表面处。MOSFET最大耗散功率。RT包括芯片热阻，焊料和过渡材料热阻以及管壳热阻等。其中最主要的仍是芯片热阻。MOS器件求热阻的方法与双极型器件不同，此时的热源是漏结附近一细长薄线状区，所以不能像双极型器件那样简单地计算矩形截面体的热阻，而需要用计算传输线特征阻抗的方法才能求出。由于MOS管不存在二次击穿效应，所以MOSFET的安全工作区大于双极型器件。16. 温度特性：1. 迁移率随温度的变化。实验发现，在MOSFET的反型层中，当表面感生电荷密度|QS/q |<1012cm-2（相当于ES=QS/ε0εS≈105V/cm）条件下，电子和空穴的有效迁移率实际是常数，其数值等于半导体体内迁移率的一半。实验还发现，此时迁移率随温度上升而呈下降趋势。在较高温度下，反型层中的电子与空穴的迁移率而在-55~+150℃的较低温度范围所以，器件因子β 具有负温度系数。2. 阈值电压和温度的关系。实验表明：在-55~+125℃的温度范围内，n沟及p沟器件的阈值电压都随温度线性变化。且n沟MOS器件具有负温度系数，p沟具有正温度系数

17. 开关特性：（1）截止关闭时间。缩短关闭时间，一要减小对地等效电容CGND，特别是要减小寄生电容的影响；二要增大负载管的β2，即增大V2管的导通电流，使充电速度加快。（2）导通开启时间为减小导通时间，一是减小输出端对地等效电容CGND，二要增大倒相管的跨导，即增大β1。CMOS电路的基本特点：低功耗、抗干扰能力强。，。18. Latch-up闩锁效应：The cause of latch-up is the action of the parasitic p-n-p-n diode, which consists of a lateral p-n-p and a vertical n-p-n bipolar transistors, in the well structure.避免闩锁效应的主要方法a) Reducing the current gains parasitic BJT. b) A deeper well structure. c) Using a heavily doped substrate. d) With the trench isolation scheme19. 优缺点：优点：（1）输入阻抗高。一般为1010Ω的数量级，最高可达1013Ω，这有利于放大器各级间的直接耦合，且只需要很小的前级驱动电流，并可与多个FET并联；（2）场效应晶体管的输入功耗很小；（3）温度稳定性好；因为它是多子器件，其电学参数不易随温度而变化。例如当温度升高后，FET沟道中的载流子数略有增加，但同时又使载流子的迁移率稍为减小，这两个效应正好相互补偿，使FET的放大特性随温度变化较小；（4）场效应晶体管的增益（即栅的跨号gm）在较大漏电流条件下基本上不变化。而双极晶体管的hFE（IC）在大电流下却很快下降；（5）噪声系数小，这是因为FET依靠多子输运电流，故不存在双极晶体管中的散粒噪声和配分噪声；（6）抗辐射能力强。双极晶体管受辐射后非平衡少子寿命降低，故电流增益下降。FET的特性与载流子的寿命关系不大，故抗辐射性能较好；（7）增强型MOS晶体管之间存在着天然的隔离，可以大大地提高MOS集成电路的集成度。缺点：（1）工艺环境要求高；（2）对晶体缺陷要求高；（3）场效应管的速度比双极晶体管的速度要低等。

20. 短沟道效应：根本原因在于沟道区出现二维电势分布以及高电场。1、阈值电压的变化(1)短沟道效应(SCE)。分析短沟道器件中阈值电压漂移采用Poon－Yau几何模型：在沟道缩短后，由于漏衬结和源衬结的耗尽区靠得很近，受栅压控

制的空间电荷区将由原来的矩形区变为梯形区，梯形区以外的空间电荷区不受栅极控制，受栅极控制的栅下空间电荷总量减小。(2)窄沟道效应（NWE）在实际MOS器件中，在沟道宽度方向的两端耗尽层将向两侧延伸延伸部分长α xd， 造成在厚场氧化层与薄栅氧化层过渡区形成类似“鸟嘴”结构。由于沟道变窄后，使栅下可控空间电荷增多，平均电荷面密度增大，因而阈值电压上升。2、速度饱和效应对漏特性及跨导的影响考虑到沟道电场很强，沟道载流子漂移速度达到饱和时，漏特性及跨导表达式有所变化：3、热电子效应。当电子在大于104V/cm的电场下运动时,它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量,因而电子的温度将会超过晶格温度,这样的电子就称为热电子。强场下产生的这种热电子效应将从两个方面影响短沟道MOSFET的性能：①热电子及其产生的二次电子进入栅氧化层，造成

阈电压漂移等不稳定性；②热电子引起的碰撞电离，将产生衬底电流，导致寄生三极管作用（也称为自锁现象），从而使—漏击穿电压降低。在短沟道器件中，为了避免短沟道效应，总是取相当高的衬底掺杂浓度。而较高的衬底掺杂浓度

将导致较高的沟道电场，这就加剧了热电子效应。漏区的结深越浅，曲率半径越小，则漏区附近的电场越强，热电子效应愈加明显。所以，器件的物理、几何结构也对热电子效应产生显著影响。（1）栅氧化层充电效应：对于短沟道MOSFET，在较低栅压下就可能产生很强的沟道电场或耗尽区电场。例如，L=0.24μm的器件，在VDS=3V时，沟道中的电场强度已达到1.2×105V/cm，足以产生大量的热电子。这种具有足够能量的热电子能够克服Si/SiO2表面势垒而注入到栅氧化层中去，成为氧化层中的陷阱电荷，从而影响MOSFET的性能。除了沟道热电子以外，在沟道与衬底间的耗尽区内或衬底中性区的某些电子（衬底热电子）以及漏端附近夹断区内的热电子也会热激发而进入栅氧化层。氧化层中负电荷的增加将使阈电压增加。在栅压小于阈电压时，由于界面陷阱电荷的影响，亚阈电流将明显地增大。对于长时间工作的器件，栅氧化层中热电子电荷会连续积累，器件性能将会退化。主要表现在阈值电压漂移、跨导降低、亚阈值斜率增加等，严重地影响了器件性能，特别是限制了短沟道MOSFET的最大可用漏电压。另外热电子退化对MOSFET的可靠性构成威胁，必须尽可能避免。为了减小热电子效应对器件性能的影响，要求最大限制地减少栅氧化层的陷阱密度。去离子水、氧化层生长及光刻工艺等都可能引进陷阱密度，工艺的改进将会使陷阱密度控制在1010cm-2的数量级。（2）寄生晶体管效应。热电子通过碰撞电离产生次级电子空穴对，这些次级电子将流入漏极，形成漏电流；而空穴将流入衬底，将产生衬底电流，当较大的衬底电流通过衬底时，会在衬底上产生电压降，由于MOSFET的源通常接地，则将VBS直接加到源衬pn结上，并使源区电位比衬底电位低VBS，使源衬结处于正向偏置状态。这时，在漏衬源之间，由正偏源衬结（n+p）和反偏漏衬结（n+p）组成一个寄生的n+pn+晶体管，这个寄生三极管与MOSFET并联。这种复合结构是大多数短沟MOSFET导致漏源击穿的原因，并且会引起IV曲线的回滞现象。在CMOS电路中，则会导致闩锁效应。21. 器件小型化规则：按比例缩小MOSFET。为了避免不希望发生的短沟道效应所采取的一种措施是：按比例缩小长沟道MOSFET的纵向和横向的所有尺寸以及外加偏压，且保持器件内部的电场分布和强度不变，则器件仍维持长沟道特性。这一措施为器件小型化提供了一幅概念上十分简单的图象。恒定电场规则（CE）：按比例缩小的方法保持沟道电场不变 ，其余参数L、Z、dox、xj、VGS、VDS、VBS、衬底掺杂浓度等按比例缩小或放大。恒定电压规则（CV）：按比例缩小的方法保持沟道电压不变，其余参数则按比例缩小或放大。但是，尺寸的缩小原则也受到很多方面的限制。例如，在物理参数方面，禁带宽度随掺杂浓度的变化，耗尽层宽度的下降也有一定限度；对器件设计来说，结深很浅的源漏区增加了器件的寄生电阻，细金属化内连线也将发生电迁移现象，以及几何尺寸的减小会引起阈电压的增大，所以这些都将影响器件的特性，在制造工艺上也增加了难度。为了寻找更灵活的按比例缩小措施，可以应用最小沟道长度的表达式。当Lmin给定时，γ值就可以求出。只要γ值保持相同，各种器件参数允许独立调节。因此，全部器件参数无需按相同的倍率α 增减。有了这种灵活性后，就允许设计者选择较易制造的最优化的几何图形，而不选择严格按比例缩小的几何图形。